

#3/4-2402
JG

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re the Application of

: **Hidetaka NATSUME**

Filed:

: **Concurrently herewith**

For:

: **SEMICONDUCTOR MEMORY DEVICE...**

Serial No.

: **Concurrently herewith**

JC079 U.S. Pro
10/046792
01/15/02



Assistant Commissioner for Patents
Washington, D.C. 20231

January 15, 2002

PRIORITY CLAIM AND SUBMISSION
OF PRIORITY DOCUMENT

SIR:

Applicant hereby claims priority under 35 USC 119 from **JAPANESE** patent application no. **2001-013330** filed **January 22, 2001**, a certified copy of which is enclosed.

Any fee, due as a result of this paper, not covered by an enclosed check, may be charged to Deposit Acct. No. 50-1290.

Respectfully submitted,

Samson Helfgott
Reg. No. 23,072

ROSENMAN & COLIN, LLP
575 MADISON AVENUE
IP Department
NEW YORK, NEW YORK 10022-2584
DOCKET NO.: NECW 19.349
TELEPHONE: (212) 940-8800

NEC01P242

U.S.

日本国特許庁
JAPAN PATENT OFFICE

W
JC6792 U.S. PRO
JC6792/046792
01/15/02

別紙添付の書類に記載されている事項は下記の出願書類に記載さ
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2001年 1月22日

出願番号

Application Number:

特願2001-013330

出願人

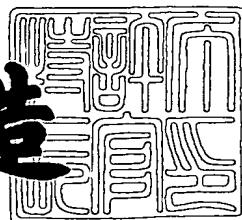
Applicant(s):

日本電気株式会社

2001年10月19日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3092795

【書類名】 特許願

【整理番号】 75010337

【提出日】 平成13年 1月22日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 夏目 秀隆

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 賢之

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

特2001-013330

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置およびその製造方法

【特許請求の範囲】

【請求項1】 一対の駆動トランジスタ及び一対の負荷トランジスタからなるフリップフロップ回路と一対の転送トランジスタとでメモリセルを構成するSRAMを有する半導体記憶装置であって、

半導体基板上に設けた第1導電膜で形成された第1導電膜配線で、前記の駆動トランジスタ、負荷トランジスタ及び転送トランジスタのそれぞれのゲート電極が構成され、

前記半導体基板上に設けられた第1絶縁膜に形成された埋込溝配線で、前記フリップフロップ回路の一対の入出力端子間を交差結合する一対のローカル配線の一方が構成され、

前記第1絶縁膜上に第2絶縁膜を介して設けられた第2導電膜で形成された第2導電膜配線で、前記一対のローカル配線の他方が構成されることを特徴とする半導体記憶装置。

【請求項2】 前記第2導電膜配線が、前記埋込溝配線の上面の少なくとも一部と前記第2絶縁膜を介して重なるように配置され、前記埋込溝配線と前記第2導電膜配線とそれらの間に介在する前記第2絶縁膜とで容量素子が構成されている請求項1記載の半導体記憶装置。

【請求項3】 前記第2導電膜配線が、前記埋込溝配線の側面の一部を前記第2絶縁膜を介して覆うように配置され、前記埋込溝配線と前記第2導電膜配線とそれらの間に介在する前記第2絶縁膜とで容量素子が構成されている請求項2記載の半導体記憶装置。

【請求項4】 前記埋込溝配線は、前記一対の駆動トランジスタのうちの一方の第1駆動トランジスタを構成するドレイン領域と、前記一対の負荷トランジスタのうちの一方の負荷トランジスタであって前記第1駆動トランジスタと共に第1導電膜配線Aで構成されるゲート電極をもつ第1負荷トランジスタを構成するドレイン領域と、他方の第2駆動トランジスタ及び他方の第2負荷トランジスタのゲート電極を構成する第1導電膜配線Bとに接触するように配置され、

前記第2導電膜配線は、前記第1導電膜配線Aに達するコンタクト部と、前記第2駆動トランジスタのドレイン領域に達するコンタクト部と、前記第2負荷トランジスタのドレイン領域に達するコンタクト部とに接している請求項1、2又は3記載の半導体記憶装置。

【請求項5】 前記第1導電膜配線Bは、前記第2駆動トランジスタのドレイン領域と前記第2負荷トランジスタのドレイン領域との間で分岐し、この分岐した配線部分が前記埋込溝配線と接触している請求項4記載の半導体記憶装置。

【請求項6】 前記の分岐した配線部分と前記埋込溝配線との接触領域は、基板上面から見て、前記第1導電膜配線Aに達するコンタクト部、前記第2駆動トランジスタのドレイン領域に達するコンタクト部、および前記第2負荷トランジスタのドレイン領域に達するコンタクト部のいずれからも等距離にある点を含んでいることを特徴とする請求項5記載の半導体記憶装置。

【請求項7】 前記一対の駆動トランジスタ、前記一対の負荷トランジスタ及び前記一対の転送トランジスタのそれぞれのゲート電極、ソース領域及びドレイン領域の表面に高融点金属シリサイド層が形成されている請求項1～6のいずれか1項に記載の半導体記憶装置。

【請求項8】 一対の駆動トランジスタ及び一対の負荷トランジスタからなるフリップフロップ回路と一対の転送トランジスタとでメモリセルを構成するS R A Mを有する半導体記憶装置の製造方法であって、

半導体基板上に、前記駆動トランジスタ、前記負荷トランジスタ及び前記転送トランジスタのそれぞれのソース領域及びドレイン領域を形成するための活性領域を形成する工程と、

前記駆動トランジスタ、前記負荷トランジスタ及び前記転送トランジスタのそれぞれのゲート電極を構成する配線として、前記半導体基板上に第1導電膜を形成した後、この第1導電膜をパターニングして第1導電膜配線を形成する工程と、

前記フリップフロップ回路の一対の入出力端子間を交差結合する一対のローカル配線の一方の配線として、前記半導体基板上に第1絶縁膜を形成した後、この第1絶縁膜に埋込溝配線を形成する工程と、

前記一对のローカル配線の他方の配線として、前記第1絶縁膜上に第2絶縁膜を形成した後、第2導電膜を形成し、この第2導電膜をパターニングして第2導電膜配線を形成する工程、を含むことを特徴とする半導体記憶装置の製造方法。

【請求項9】 前記第2導電膜配線を、前記埋込溝配線の上面の少なくとも一部と前記第2絶縁膜を介して重なるように配置し、前記埋込溝配線と前記第2導電膜配線とそれらの間に介在する前記第2絶縁膜とで容量素子を構成する請求項8記載の半導体記憶装置の製造方法。

【請求項10】 一対の駆動トランジスタ及び一対の負荷トランジスタからなるフリップフロップ回路と一対の転送トランジスタとでメモリセルを構成するS R A Mを有する半導体記憶装置の製造方法であって、

半導体基板上に、前記駆動トランジスタ、前記負荷トランジスタ及び前記転送トランジスタのそれぞれのソース領域及びドレイン領域を形成するための活性領域を形成する工程と、

前記駆動トランジスタ、前記負荷トランジスタ及び前記転送トランジスタのそれぞれのゲート電極を構成する配線として、前記半導体基板上に第1導電膜を形成した後、この第1導電膜をパターニングして第1導電膜配線を形成する工程と、

前記フリップフロップ回路の一対の入出力端子間を交差結合する一对のローカル配線の一方の配線として、前記半導体基板上に第1絶縁膜を形成した後、この第1絶縁膜に埋込溝配線を形成する工程と、

前記埋込溝配線の側面の一部を露出させる工程と、

前記第1絶縁膜上に第2絶縁膜を形成した後、第2導電膜を形成し、この第2導電膜を前記埋込溝配線の側面の一部及び上面と前記第2絶縁膜を介して重なるようにパターニングして、前記一对のローカル配線の他方の配線を構成する第2導電膜配線を形成し、前記埋込溝配線の側面の一部及び上面と前記第2導電膜配線とそれらの間に介在する前記第2絶縁膜とで構成される容量素子を形成する工程、を含むことを特徴とする半導体記憶装置の製造方法。

【請求項11】 前記埋込溝配線は、前記一对の駆動トランジスタのうちの一方の第1駆動トランジスタを構成するドレイン領域と、前記一对の負荷トラン

ジスタのうちの一方の負荷トランジスタであって第1駆動トランジスタと共に通の第1導電膜配線Aで構成されるゲート電極をもつ第1負荷トランジスタを構成するドレイン領域と、他方の第2駆動トランジスタ及び他方の第2負荷トランジスタのゲート電極を構成する第1導電膜配線Bとに接触するように形成し、

前記第2導電膜配線は、前記第1導電膜配線Aに達するコンタクト孔と、前記第2駆動トランジスタのドレイン領域に達するコンタクト孔と、前記第2負荷トランジスタのドレイン領域に達するコンタクト孔とを同時に形成した後にこれらのコンタクト孔に導電性材料を埋め込んで形成したコンタクト部のいずれにも接觸するように形成する請求項8、9又は10記載の半導体記憶装置の製造方法。

【請求項12】 前記第1導電膜配線Bを、前記第2駆動トランジスタのドレイン領域と前記第2負荷トランジスタのドレイン領域との間で分岐した形状になるように形成し、前記埋込溝配線を、この分岐した配線部分に接觸するように形成する請求項11記載の半導体記憶装置の製造方法。

【請求項13】 前記一対の駆動トランジスタ、前記一対の負荷トランジスタ及び前記一対の転送トランジスタのそれぞれのソース領域及びドレイン領域の表面ならびにゲート電極を構成する前記第1導電膜配線の表面に高融点金属シリサイド層を形成する工程を有する請求項8～12のいずれか1項に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置およびその製造方法に関し、より詳しくはS R A M (スタティックランダムアクセスメモリ: Static Random Access Memory) を有する半導体記憶装置およびその製造方法に関する。

【0002】

【従来の技術】

半導体記憶素子であるS R A Mメモリセルの基本的な構造について図面を用いて説明する。

【0003】

S R A Mメモリセルは、図22の回路図に示すように、情報蓄積部としてのフリップフロップ回路、及び情報の書き込み・読み出しを行うデータ線（ビット線 $B L_1$ 、 $B L_2$ ）とフリップフロップ回路との導通を制御する一対の転送トランジスタ T_1 、 T_2 で構成されている。そして、フリップフロップ回路は、例えば一対のCMOSインバータで構成され、それぞれのCMOSインバータは、一つの駆動トランジスタ D_1 （ D_2 ）と一つの負荷トランジスタ P_1 （ P_2 ）で構成される。

【0004】

転送トランジスタ T_1 （ T_2 ）のソース／ドレイン領域の一方は、負荷トランジスタ P_1 （ P_2 ）及び駆動トランジスタ D_1 （ D_2 ）のドレインに接続され、他方はビット線 $B L_1$ （ $B L_2$ ）に接続されている。また、一対の転送トランジスタ T_1 、 T_2 のゲートはそれぞれワード線 WL の一部を構成し、互いに接続されている。

【0005】

CMOSインバータの一方を構成する駆動トランジスタ D_1 及び負荷トランジスタ P_1 のゲートは、他方のCMOSインバータを構成する駆動トランジスタ D_2 及び負荷トランジスタ P_2 のドレイン（蓄積ノード N_2 ）に接続されている。また、この他方のCMOSインバータを構成する駆動トランジスタ D_2 及び負荷トランジスタ P_2 のゲートは、前記一方のCMOSインバータを構成する駆動トランジスタ D_1 及び負荷トランジスタ P_1 のドレイン（蓄積ノード N_1 ）に接続されている。このように、一対のCMOSインバータ間において、一方のCMOSインバータの入出力部と他方のCMOSインバータのゲートとが互いにローカル配線（局所配線）と呼ばれる一対の配線 L_1 、 L_2 を介してクロスカップル（交差結合）されている。

【0006】

そして、駆動トランジスタ D_1 、 D_2 のソース領域には、基準電圧（ V_{ss} 、例えばGND）が供給され、負荷トランジスタ P_1 、 P_2 のソース領域には、電源電圧（ V_{cc} ）が供給される。

【0007】

以上に説明したS R A Mセルは、ノイズに強く、待機時の消費電力が小さい等

の優れた素子特性を有する。また、従来、この種のS R A Mセルは、素子特性の点から、できるだけ素子構造の対称性を損なわないように（すなわち、アンバランス性を抑えるように）材料の選択やレイアウトがなされている。

【0008】

しかしながら、上述のS R A Mセルは、1メモリセルに6トランジスタが必要なこと、多数の配線が必要なこと、及び同一セル内にp型M O Sとn型M O Sの素子分離が必要であることから、セル面積が大きくなりやすいという問題を有している。また、製造においては工程数が多いという問題を有している。

【0009】

従来、6トランジスタ形S R A Mセルの構造や製造方法については種々の提案がなされている。

【0010】

例えば、M.I nohara et al., Symp. on VLSI Tech., 64 (1998) には、一対のローカル配線のいずれもメタルダマシンプロセスで形成する方法が記載されている。この方法では、互いに異なる層に埋込溝配線であるタンゲステン(W)ローカル配線を形成することによりクロスカップルを形成している。そして、基板の活性領域に達するWプラグと一方(下層)のローカル配線とを同時に開孔して形成しているため、フォトマスクや工程数を増やすことなくS R A Mメモリセルを作製できることが記載されている。しかしながら、この方法では、他方(上層)のローカル配線を形成するには、下層のローカル配線との接触を避けるように配置しなければならず、十分なセルサイズの縮小化は達成されていない。

【0011】

また、特開平11-251457号公報には、6トランジスタ形セルの製造において、一対のローカル配線の両方をメタルダマシンプロセスで形成し、かつ同一層に配置することが記載されている。この方法においても、一対のローカル配線を相互に接触をさけるように配置する必要があるため、十分なセルサイズの縮小化は困難である。

【0012】

一方、特開平9-260510号公報には、6トランジスタ形のS R A Mメモ

リセルとして、メモリセルサイズの縮小と α 線ソフトエラー耐性の向上を目的とした、以下の素子構造が記載されている。また、同様な構成が、F. Ootsuka et al., IEDM , 205 (1998) にも記載されている。

【0013】

この構造は、クロスカップルを構成する一対のローカル配線が、異なる導電層をそれぞれエッチングして形成されたものであり、上層のローカル配線が下層のローカル配線と重なり合うように配置され、さらに、これらのローカル配線とこれらのローカル配線間に介在する絶縁膜（容量絶縁膜）とで容量素子が構成されている。

【0014】

しかしながらこのような素子構造では、その製造において、一対のローカル配線のそれぞれに対してコンタクト孔を形成する必要があるため、工程数が多くなる。また、この構造では、ローカル配線がゲート電極の上部にまで薄い絶縁膜を介して比較的広範囲に配置されているが、このような凹凸が大きい基板表面に導電膜パターンを形成しようとすると、異方性エッチング等による導電膜のパテニングの際、段差付近の導電膜を除去しにくいため、不必要的箇所に導電膜が残留する等の問題が生じる。また、このような凹凸の大きい表面に、容量絶縁膜を形成しようとすると、段差付近で膜厚が厚くなりやすく、段差付近の膜厚を薄くしようとすると平坦部では薄くなりすぎて絶縁性を損なうといった問題が生じ、薄く且つ均一な容量絶縁膜を形成することは困難である。

【0015】

【発明が解決しようとする課題】

そこで本発明の目的は、工程数を著しく増大させることなく、容易に、S R A Mのメモリセルサイズを縮小可能な技術を提供することにある。さらに、S R A Mの α 線ソフトエラー耐性を向上させる技術を提供することにある。

【0016】

【課題を解決するための手段】

本発明は、一対の駆動トランジスタ及び一対の負荷トランジスタからなるフリップフロップ回路と一対の転送トランジスタとでメモリセルを構成するS R A M

を有する半導体記憶装置であって、

半導体基板上に設けた第1導電膜で形成された第1導電膜配線で、前記の駆動トランジスタ、負荷トランジスタ及び転送トランジスタのそれぞれのゲート電極が構成され、

前記半導体基板上に設けられた第1絶縁膜に形成された埋込溝配線で、前記フリップフロップ回路の一対の入出力端子間を交差結合する一対のローカル配線の一方が構成され、

前記第1絶縁膜上に第2絶縁膜を介して設けられた第2導電膜で形成された第2導電膜配線で、前記一対のローカル配線の他方が構成されることを特徴とする半導体記憶装置に関する。

【0017】

また本発明は、前記第2導電膜配線が、前記埋込溝配線の上面の少なくとも一部と前記第2絶縁膜を介して重なるように配置され、前記埋込溝配線と前記第2導電膜配線とそれらの間に介在する前記第2絶縁膜とで容量素子が構成されている上記の半導体記憶装置に関する。

【0018】

また本発明は、前記第2導電膜配線が、前記埋込溝配線の側面の一部を前記第2絶縁膜を介して覆うように配置され、前記埋込溝配線と前記第2導電膜配線とそれらの間に介在する前記第2絶縁膜とで容量素子が構成されている上記の半導体記憶装置に関する。

【0019】

また本発明は、前記埋込溝配線が、前記一対の駆動トランジスタのうちの一方の第1駆動トランジスタを構成するドレイン領域と、前記一対の負荷トランジスタのうちの一方の負荷トランジスタであって前記第1駆動トランジスタと共に通の第1導電膜配線Aで構成されるゲート電極をもつ第1負荷トランジスタを構成するドレイン領域と、他方の第2駆動トランジスタ及び他方の第2負荷トランジスタのゲート電極を構成する第1導電膜配線Bとに接触するように配置され、

前記第2導電膜配線は、前記第1導電膜配線Aに達するコンタクト部と、前記第2駆動トランジスタのドレイン領域に達するコンタクト部と、前記第2負荷ト

ランジスタのドレイン領域に達するコンタクト部とに接している上記の半導体記憶装置に関する。

【0020】

また本発明は、前記第1導電膜配線Bが、前記第2駆動トランジスタのドレイン領域と前記第2負荷トランジスタのドレイン領域との間で分岐し、この分岐した配線部分が前記埋込溝配線と接触している上記の半導体記憶装置に関する。

【0021】

また本発明は、前記の分岐した配線部分と前記埋込溝配線との接触領域が、基板上面から見て、前記第1導電膜配線Aに達するコンタクト部、前記第2駆動トランジスタのドレイン領域に達するコンタクト部、および前記第2負荷トランジスタのドレイン領域に達するコンタクト部のいずれからも等距離にある点を含んでいることを特徴とする上記の半導体記憶装置に関する。

【0022】

また本発明は、前記一対の駆動トランジスタ、前記一対の負荷トランジスタ及び前記一対の転送トランジスタのそれぞれのゲート電極、ソース領域及びドレイン領域の表面に高融点金属シリサイド層が形成されている上記の半導体記憶装置に関する。

【0023】

また本発明は、一対の駆動トランジスタ及び一対の負荷トランジスタからなるフリップフロップ回路と一対の転送トランジスタとでメモリセルを構成するSRAMを有する半導体記憶装置の製造方法であって、

半導体基板上に、前記駆動トランジスタ、前記負荷トランジスタ及び前記転送トランジスタのそれぞれのソース領域及びドレイン領域を形成するための活性領域を形成する工程と、

前記駆動トランジスタ、前記負荷トランジスタ及び前記転送トランジスタのそれぞれのゲート電極を構成する配線として、前記半導体基板上に第1導電膜を形成した後、この第1導電膜をパターニングして第1導電膜配線を形成する工程と

前記フリップフロップ回路の一対の入出力端子間を交差結合する一対のローカ

ル配線の一方の配線として、前記半導体基板上に第1絶縁膜を形成した後、この第1絶縁膜に埋込溝配線を形成する工程と、

前記一対のローカル配線の他方の配線として、前記第1絶縁膜上に第2絶縁膜を形成した後、第2導電膜を形成し、この第2導電膜をパターニングして第2導電膜配線を形成する工程、を含むことを特徴とする半導体記憶装置の製造方法に関する。

【0024】

また本発明は、前記第2導電膜配線を、前記埋込溝配線の上面の少なくとも一部と前記第2絶縁膜を介して重なるように配置し、前記埋込溝配線と前記第2導電膜配線とそれらの間に介在する前記第2絶縁膜とで容量素子を構成する上記の半導体記憶装置の製造方法に関する。

【0025】

また本発明は、一対の駆動トランジスタ及び一対の負荷トランジスタからなるフリップフロップ回路と一対の転送トランジスタとでメモリセルを構成するSRAMを有する半導体記憶装置の製造方法であって、

半導体基板上に、前記駆動トランジスタ、前記負荷トランジスタ及び前記転送トランジスタのそれぞれのソース領域及びドレイン領域を形成するための活性領域を形成する工程と、

前記駆動トランジスタ、前記負荷トランジスタ及び前記転送トランジスタのそれぞれのゲート電極を構成する配線として、前記半導体基板上に第1導電膜を形成した後、この第1導電膜をパターニングして第1導電膜配線を形成する工程と、

前記フリップフロップ回路の一対の入出力端子間を交差結合する一対のローカル配線の一方の配線として、前記半導体基板上に第1絶縁膜を形成した後、この第1絶縁膜に埋込溝配線を形成する工程と、

前記埋込溝配線の側面の一部を露出させる工程と、

前記第1絶縁膜上に第2絶縁膜を形成した後、第2導電膜を形成し、この第2導電膜を前記埋込溝配線の側面の一部及び上面と前記第2絶縁膜を介して重なるようにパターニングして、前記一対のローカル配線の他方の配線を構成する第2

導電膜配線を形成し、前記埋込溝配線の側面の一部及び上面と前記第2導電膜配線とそれらの間に介在する前記第2絶縁膜とで構成される容量素子を形成する工程、を含むことを特徴とする半導体記憶装置の製造方法に関する。

【0026】

また本発明は、前記埋込溝配線を、前記一対の駆動トランジスタのうちの一方の第1駆動トランジスタを構成するドレイン領域と、前記一対の負荷トランジスタのうちの一方の負荷トランジスタであって第1駆動トランジスタと共に第1導電膜配線Aで構成されるゲート電極をもつ第1負荷トランジスタを構成するドレイン領域と、他方の第2駆動トランジスタ及び他方の第2負荷トランジスタのゲート電極を構成する第1導電膜配線Bとに接触するように形成し、

前記第2導電膜配線は、前記第1導電膜配線Aに達するコンタクト孔と、前記第2駆動トランジスタのドレイン領域に達するコンタクト孔と、前記第2負荷トランジスタのドレイン領域に達するコンタクト孔とを同時に形成した後にこれらのコンタクト孔に導電性材料を埋め込んで形成したコンタクト部のいずれにも接觸するように形成する上記の半導体記憶装置の製造方法に関する。

【0027】

また本発明は、前記第1導電膜配線Bを、前記第2駆動トランジスタのドレイン領域と前記第2負荷トランジスタのドレイン領域との間で分岐した形状になるように形成し、前記埋込溝配線を、この分岐した配線部分に接觸するように形成する上記の半導体記憶装置の製造方法に関する。

【0028】

また本発明は、前記一対の駆動トランジスタ、前記一対の負荷トランジスタ及び前記一対の転送トランジスタのそれぞれのソース領域及びドレイン領域の表面ならびにゲート電極を構成する前記第1導電膜配線の表面に高融点金属シリサイド層を形成する工程を有する上記の半導体記憶装置の製造方法に関する。

【0029】

本発明によれば、一対のローカル配線を異なる導電層に形成することにより、ローカル配線同士を部分的に重なり合うように配置することができるため、メモリセルの占有面積を縮小することができる。

【0030】

また本発明によれば、ローカル配線の一方とローカル配線の他方とこれらの間に介在する絶縁膜とで容量素子を構成することができるため、メモリセルサイズの微細化や動作電圧の低下に伴う α 線ソフトエラー耐性の低下を防ぐことができる。

【0031】

また本発明によれば、下層に設ける一方のローカル配線を埋込溝配線で構成することにより、この下層のローカル配線の形成と同時に接続プラグを形成することができるため、少ない工程数で製造することができる。さらに、下層に設ける一方のローカル配線を埋込溝配線で構成することにより、平坦性が向上するため、上層に設ける容量絶縁膜や他方のローカル配線を容易に薄く且つ均一に形成することが可能となり、歩留まりや素子特性を向上させることができる。

【0032】

また、本発明によれば、ソース／ドレイン領域、あるいはさらにゲート電極上に低抵抗材料である高融点金属シリサイド層を形成したことにより、S R A M構造の対称性に依らず、より一層の高速動作を実現することができる。

【0033】

【発明の実施の形態】

以下、本発明の好適な実施の形態について説明する。

【0034】

本実施形態のS R A Mのメモリセルは、図1に示すように、ワード線W Lと一对のビット線B L₁、B L₂との交差部に配置され、一对の駆動トランジスタD₁、D₂と一对の負荷トランジスタP₁、P₂と一对の転送トランジスタT₁、T₂で構成されている。ここで、一对の駆動トランジスタD₁、D₂と一对の転送トランジスタT₁、T₂はnチャネル型で構成され、一对の負荷トランジスタP₁、P₂はpチャネル型で構成されている。

【0035】

一对の駆動トランジスタD₁、D₂と一对の負荷トランジスタP₁、P₂は、1ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を構成している

。このフリップフロップ回路は、一対のCMOSインバータで構成され、それぞれのCMOSインバータは、一つの駆動トランジスタD₁(D₂)と一つの負荷トランジスタP₁(P₂)で構成される。

【0036】

転送トランジスタT₁(T₂)のソース／ドレイン領域の一方は、負荷トランジスタP₁(P₂)及び駆動トランジスタD₁(D₂)のドレインに接続され、他方はビット線BL₁(BL₂)に接続されている。また、一対の転送トランジスタT₁、T₂のゲートはそれぞれワード線WLの一部を構成し、互いに接続されている。

【0037】

CMOSインバータの一方を構成する駆動トランジスタD₁及び負荷トランジスタP₁のゲートは、他方のCMOSインバータを構成する駆動トランジスタD₂及び負荷トランジスタP₂のドレイン(蓄積ノードN₂)に接続されている。また、この他方のCMOSインバータを構成する駆動トランジスタD₂及び負荷トランジスタP₂のゲートは、前記一方のCMOSインバータを構成する駆動トランジスタD₁及び負荷トランジスタP₁のドレイン(蓄積ノードN₁)に接続されている。このように、一対のCMOSインバータ間において、一方のCMOSインバータの入出力部(蓄積ノード)と他方のCMOSインバータのゲートとが互いにローカル配線(局所配線)と呼ばれる一対の配線L₁、L₂を介してクロスカッフル(交差結合)されている。

【0038】

そして、駆動トランジスタD₁、D₂のソース領域には、基準電圧(Vss、例えばGND)が供給され、負荷トランジスタP₁、P₂のソース領域には、電源電圧(Vcc)が供給される。

【0039】

本実施形態では、一対のローカル配線L₁、L₂を異なる層に配置し、下層のローカル配線を埋込溝配線で構成し、上層のローカル配線をプレート状の導電膜で構成し、基板上面(平面)から見て、上層のローカル配線(プレート状配線)の一部が下層のローカル配線(埋込溝配線)の上面の少なくとも一部と絶縁膜を介

して重なるように配置する。下層のローカル配線（埋込溝配線）と上層のローカル配線（プレート状配線）とこれらの間に介在する絶縁膜とで容量素子が構成される。

【0040】

埋込溝配線は厚く（深さ方向に長く）、プレート状の導電膜配線は上面の面積が大きいため、いずれの配線も、微細なライン状の導電性薄膜からなる配線に対して配線抵抗を低減することができる。

【0041】

上記SRAMメモリセルの具体的な構造をさらに図面を用いて説明する。

【0042】

図2はメモリセルの平面図、図3（a）は図2のa-a' 線断面図、図3（b）は図2のb-b' 線断面図である。なお、平面図においては、絶縁膜、ビット線およびビット線に接続するプラグを省略している。

【0043】

メモリセルを構成する6個のトランジスタは、単結晶シリコンからなる半導体基板上の素子分離5によって周囲を囲まれた活性領域ARに形成されている。nチャネル型の駆動トランジスタD₁、D₂及び転送トランジスタT₁、T₂はp型ウェル領域に形成されており、pチャネル型の負荷トランジスタP₁、P₂はn型ウェル領域に形成されている。

【0044】

一対の転送トランジスタT₁、T₂のそれぞれは、p型ウェルの活性領域に形成されたn型ソース／ドレイン領域13aと、この活性領域の表面に形成されたゲート酸化膜7と、このゲート酸化膜7上に形成されたゲート電極8で構成されている。このゲート電極8は、例えば、不純物導入多結晶シリコン膜と高融点金属シリサイド膜（タンクステンシリサイド膜、コバルトシリサイド膜、チタンシリサイド膜等）の積層構造を有し、ワード線WLと一体に構成されている。ワード線WLは、第1方向（図2中では左右方向）に延在して設けられ、一対の転送トランジスタはこの第1方向に沿って互いに隣接して配置されている。また、一対の転送トランジスタはそのゲート長方向が第1方向と直交する第2方向（図2中

では上下方向)と一致するように配置されている。

【0045】

一対の駆動トランジスタ D_1 、 D_2 のそれぞれは、p型ウェルの活性領域に形成されたn型ソース／ドレイン領域13aと、この活性領域の表面に形成されたゲート酸化膜7と、このゲート酸化膜7上に形成されたゲート電極9、10で構成されている。このゲート電極9、10は、例えば、不純物導入多結晶シリコン膜と高融点金属シリサイド膜(タングステンシリサイド膜、コバルトシリサイド膜、チタンシリサイド膜等)の積層構造を有している。駆動用トランジスタ D_1 のドレイン領域は、転送トランジスタ T_1 のソース／ドレイン領域の一方と共に活性領域に形成され、駆動用トランジスタ D_2 のドレイン領域は、転送トランジスタ T_2 のソース／ドレイン領域の一方と共に活性領域に形成されている。

【0046】

一対の負荷トランジスタ P_1 、 P_2 のそれぞれは、n型ウェルの活性領域に形成されたp型ソース／ドレイン領域13bと、この活性領域の表面に形成されたゲート酸化膜7と、このゲート酸化膜7上に形成されたゲート電極9、10で構成されている。負荷トランジスタ P_1 のゲート電極9は駆動トランジスタ D_1 のゲート電極と一体に構成されており、負荷トランジスタ P_2 のゲート電極10は駆動トランジスタ D_2 のゲート電極と一体に構成されている。

【0047】

駆動トランジスタ D_1 は、前記第2の方向において、転送トランジスタ T_1 と負荷トランジスタ P_1 との間に配置されている。駆動トランジスタ D_2 は、前記第2の方向において、転送トランジスタ T_2 と負荷トランジスタ P_2 との間に配置されている。一対の駆動トランジスタ及び一対の負荷トランジスタのそれぞれは、そのゲート長方向が前記第1方向と一致するように配置されている。

【0048】

一対の駆動トランジスタ、一対の負荷トランジスタ及び一対の転送トランジスタのそれぞれのソース／ドレイン領域の表面には、シート抵抗や接続プラグとの接続抵抗を低減する目的でチタンシリサイドやコバルトシリサイド等の高融点金属シリサイド層(不図示)を設けていることが好ましい。

【0049】

一对の駆動トランジスタ、一对の負荷トランジスタ及び一对の転送トランジスタのそれぞれを構成するゲート電極の側壁にはサイドウォール12が形成されている。また、ゲート電極の上部にはシリコン酸化膜等からなるキャップ層（不図示）が設けられていてもよい。

【0050】

6個のトランジスタの上部には、シリコン窒化膜14が形成されており、このシリコン窒化膜14の上部には厚さ300～1000nm程度のPSGやBPSG等からなる第1層間絶縁膜15が形成されている。

【0051】

この第1層間絶縁膜15には、一对のローカル配線の一方である埋込溝配線16(L_1)が形成されている。この埋込溝配線16(L_1)は、第1層間絶縁膜15を開孔して形成された溝にW等の導電性金属が埋め込まれてなる。この埋込溝配線16(L_1)の一端部は、駆動トランジスタD₁のドレイン領域と電気的に接続され、他端部は、負荷トランジスタP₁のドレイン領域と電気的に接続されている。さらに、埋込溝配線16(L_1)の中央部は、駆動トランジスタD₂と負荷トランジスタP₂に共通のゲート電極10と電気的に接続されている。このゲート電極10は、駆動トランジスタD₂のドレイン領域と負荷トランジスタP₂のドレイン領域との間でトランジスタD₁、P₁方向へ分岐し、この分岐した部分が前記埋込溝配線16の中央部と接触している。この接触部は、上面からみて、後述の三つのコンタクトプラグ18、19、20のいずれからもほぼ等距離に配置することが好ましい。その際、埋込溝配線16(L_1)形状は、上面からみて、長方形の帯状形状をとることもできるが、図2の平面図に示すように、両端部に対してトランジスタD₂、P₂側へ張り出すように折れ曲がった帯状形状であってもよい。これにより十分なマージンを確保できる。

【0052】

埋込溝配線16(L_1)が形成された第1層間絶縁膜15上には、シリコン酸化膜等からなる厚さ10nm～150nm程度の第2層間絶縁膜17が形成されている。そして、この第2層間絶縁膜17及び第1層間絶縁膜15に開孔された

接続孔にW等の導電性金属が埋め込まれてなる接続プラグが設けられている。これらの接続プラグは、6個のトランジスタのソース／ドレイン領域にそれぞれ接続するプラグ19～26と、駆動トランジスタD₁と負荷トランジスタP₁に共通のゲート電極9に接続するプラグ18である。

【0053】

第2層間絶縁膜17の上部には、厚さ100～200nm程度のTiN等からなるローカル配線27(L₂)が形成されている。ローカル配線27(L₂)は、駆動トランジスタD₁と負荷トランジスタP₁に共通のゲート電極9に接続するプラグ18、駆動トランジスタD₂のドレイン領域に接続するプラグ19、負荷トランジスタP₂のドレイン領域に接続するプラグ20に電気的に接続するよう設けられている。また、ローカル配線27(L₂)の一部が、他方のローカル配線である前記埋込溝配線16(L₁)の上面の少なくとも一部と第2層間絶縁膜17を介して重なるように配置される。ローカル配線27(L₂)と埋込溝配線16(L₁)とそれらの間に介在する第2層間絶縁膜とで容量素子が構成される。容量素子を設ける点からは、

ローカル配線27(L₂)が、埋込溝配線16(L₁)の上面をできるだけ覆うことが好ましく、図2に示す構成ではローカル配線27(L₂)が、埋込溝配線16(L₁)の上面全体を覆っている。

【0054】

なお、接続プラグ21～26上にはそれぞれ、上層からのビアプラグとの接続を容易にするために、ローカル配線27(L₂)と同時にパターニング形成された矩形の導電膜パターン28～33が形成されている。

【0055】

ローカル配線27(L₂)が形成された第2層間絶縁膜17の上部には、シリコン酸化膜等からなる第3層間絶縁膜34が形成され、その上部には、電源電圧Vccが印加される電源電圧線41、及び基準電圧Vssが印加される基準電圧線42が前記第1方向に沿って形成されている。電源電圧線41は、第3層間絶縁膜34に設けられた接続プラグ(ビアプラグ)36、37と第1及び第2層間絶縁膜に設けられた接続プラグ22、23を介して、それぞれ負荷トランジスタP₁

、 P_2 のソース領域に電気的に接続されている。基準電圧線4 2は、第3層間絶縁膜3 4に設けられた接続プラグ(ビアプラグ)3 5、3 8と第1及び第2層間絶縁膜に設けられた接続プラグ2 1、2 4を介して、それぞれ駆動トランジスタ D_1 、 D_2 のソース領域に電気的に接続されている。これらの配線は、例えば、パターニングされたアルミ膜や、アルミ膜の上部には反射防止膜として下部にはバリアメタル膜としてTiN等からなる膜が配置された積層膜で構成することができる。

【0056】

なお、転送トランジスタ T_1 、 T_2 のソース／ドレイン領域の一方に電気的に接続されるように第3層間絶縁膜3 4に設けたプラグ3 9、4 0の上部にはそれぞれ、上層からのビアプラグとの接続を容易にするために、電源電圧線4 1及び基準電圧線4 2と同時にパターニング形成された矩形の導電膜パターン4 3、4 4が形成されている。

【0057】

電源電圧線4 1及び基準電圧線4 2が形成された第3層間絶縁膜3 4の上部には、シリコン酸化膜等からなる第4層間絶縁膜(不図示)が形成され、その上部には、前記第2方向に沿って一対のビット線 $B L_1$ 、 $B L_2$ (不図示)が形成されている。一方のビット線 $B L_1$ は、第4層間絶縁膜に設けられた接続プラグ(ビアプラグ)と第3層間絶縁膜に設けられた接続プラグ4 0と第1及び第2層間絶縁膜に設けられた接続プラグ2 6を介して転送トランジスタ T_1 のソース／ドレイン領域の一方に電気的に接続されている。他方のビット線 $B L_2$ は、第4層間絶縁膜に設けられた接続プラグ(ビアプラグ)と第3層間絶縁膜に設けられた接続プラグ3 9と第1及び第2層間絶縁膜並びに第3層間絶縁膜に設けられた接続プラグ2 5を介して転送トランジスタ T_2 のソース／ドレイン領域の一方に電気的に接続されている。これらの配線は、例えば、パターニングされたアルミ膜や、アルミ膜の上部には反射防止膜として下部にはバリアメタル膜としてTiN等からなる膜が配置された積層膜で構成することができる。

【0058】

本発明のその他の実施の形態として、上述の構造において容量素子の構成が、

基板上面から見て、上層のローカル配線（プレート状配線）の一部が下層のローカル配線（埋込溝配線）の上面の少なくとも一部と絶縁膜を介して重なるように配置されていることに加え、上層のローカル配線（プレート状配線）の一部が、下層のローカル配線（埋込溝配線）の側面（深さ方向に沿った面）を絶縁膜を介して部分的に覆うように配置されている構造をとってもよい。この構造によれば、下層のローカル配線（埋込溝配線）の上面だけでなく側面においても容量素子を構成しているため、素子の容量を増加させることができる。図21に、この実施の形態の一例の断面図（図2の平面図に対応）を示す。

【0059】

次に、本発明の半導体記憶装置のSRAMメモリセルの製造方法を図面を用いて説明する。なお、平面図においては絶縁膜を適宜省略して表記する。

【0060】

まず、P型単結晶シリコンからなる半導体基板1の主面に常法によりシリコン酸化膜2及びシリコン窒化膜3を順次形成する。続いて、常法により形成した所定のパターン形状をもつフォトレジストをマスクにしてドライエッチングを行い、シリコン窒化膜3及びシリコン酸化膜2をパターニングする。その後、残ったシリコン窒化膜3とシリコン酸化膜2をマスクにして半導体基板1をドライエッチングし、素子分離用の溝（トレンチ）4を形成する（図4、図5）。なお、図中、ARで示される領域は活性領域であり、この工程においてはAR以外の領域に素子分離用のトレンチ4が形成される。また、MRで示される点線で囲まれた領域は1つのメモリセル領域を示す。複数のメモリセルは、隣合うメモリセル間で、MRで示される長方形の前記第1方向（図4中では左右方向）に沿う各辺を対象軸としてARの形状が線対称（ミラー反転）になるように配置され、且つ、MRで示される長方形の前記第2方向（図4中では上下方向）に沿う各辺を基準線として前記第1方向に平行移動（シフト）した関係となるように配置される。なお、MRで示される長方形の各辺を対称軸としてARの形状が線対称になるように基板上に配置することも可能である。

【0061】

次に、図6に示すように、トレンチ4の内部にシリコン酸化膜を埋め込んで素

子分離5を形成する。この素子分離5の形成は、トレンチ4を含む半導体基板1上にCVD法によりシリコン酸化膜をトレンチ4内が完全に埋め込まれるように厚く形成した後、シリコン窒化膜3をストップとして利用し、厚く形成したシリコン酸化膜に対してエッチバックあるいは化学的機械的研磨(CMP)を行いトレンチ4内部以外のシリコン酸化膜を除去して形成することができる。

【0062】

次に、半導体基板1上のシリコン窒化膜3及びシリコン酸化膜2をエッティングにより除去した後、図7及び図8に示すように、厚さ10～30nm程度の薄いシリコン酸化膜(犠牲酸化膜)2aを形成し、続いて負荷トランジスタP₁、P₂を形成する領域にレジスト6を形成する。このレジスト6をマスクとし、前記酸化膜2aをスルー膜としてp型不純物(例えばホウ素)をイオン注入して、駆動トランジスタD₁、D₂及び転送トランジスタT₁、T₂を後に設けるp型ウェル領域を形成する。次いで、レジスト6を除去した後、p型ウェル領域上にレジストを形成し、このレジストをマスクとし、前記酸化膜2aをスルー膜としてn型不純物(例えばリン又はヒ素)をイオン注入して、負荷トランジスタP₁、P₂を後に設けるn型ウェル領域を形成する。

【0063】

次に、半導体基板上のシリコン酸化膜(犠牲酸化膜)2aを除去した後、熱酸化法によりゲート酸化膜を形成し、続いて不純物導入多結晶シリコン膜を形成する。その際、不純物導入多結晶シリコン膜上にWシリサイド膜等の高融点金属シリサイド膜を形成し、その上にキャップ層形成用のシリコン酸化膜を形成してもよい。次いで、所定パターンに形成したフォトレジストをマスクにしてドライエッティングを行い、不純物導入多結晶シリコン膜およびゲート酸化膜(高融点金属シリサイド膜およびシリコン酸化膜)を同時にパターニングして、図9及び図10に示すように、転送トランジスタT₁、T₂のゲート電極(ワード線WL)8、駆動トランジスタD₁、D₂及び負荷トランジスタP₁、P₂のゲート電極9、10を形成する。

【0064】

次に、図11及び図12に示すトランジスタ構造を下記のようにして形成する

n型ウェル領域上に形成したレジストをマスクにして、比較的少ない注入量でn型不純物（例えばリン又はヒ素）をイオン注入し、p型ウェル領域にLDD領域11を形成する。このレジストを除去した後、同様に、p型ウェル領域上に形成したレジストをマスクにしてp型不純物（例えばホウ素）をイオン流入し、n型ウェル領域にLDD領域11を形成する。次いで、このレジストを除去した後、CVD法でシリコン酸化膜を基板上に形成し、このシリコン酸化膜をエッチバックすることにより、ゲート電極の側面にサイドウォール12を形成する。サイドウォールは、酸化膜-窒化膜-酸化膜や窒化膜-多結晶シリコン膜からなる積層膜であってもよい。その後、n型ウェル領域上に形成したレジストをマスクにして、比較的多い注入量でn型不純物をイオン注入し、p型ウェル領域にn型ソース／ドレイン領域13aを形成する。続いて、このレジストを除去した後、同様に、p型ウェル領域上に形成したレジストをマスクにしてp型不純物をイオン注入し、n型ウェル領域にp型ソース／ドレイン領域13bを形成する。

【0065】

この工程後において、好ましくは、ソース／ドレイン領域上に高融点シリサイド膜を形成する。まず、半導体基板上にスパッタリング法等で高融点金属（例えばTi、Co）膜を形成する。次に、熱処理（アニール）を行って、高融点金属膜とソース／ドレイン領域とを反応させた後、未反応の高融点金属をエッチングにより除去する。これによりソース／ドレイン領域上に高融点金属シリサイド膜が形成される。このとき、前述の工程においてゲート電極上にWシリサイド膜およびシリコン酸化膜を設けていない場合は、ゲート電極上にも高融点金属シリサイド膜が形成される。

【0066】

次に、半導体基板上にCVD法でシリコン窒化膜14を形成した後、PSGやBPSG等からなる層間絶縁膜15を形成する。次いで、所定パターンに形成したフォトレジストをマスクにしてドライエッチングを行い第1層間絶縁膜15及びシリコン窒化膜14を開孔して基板表面およびゲート電極に達する溝を形成する。この溝をW等の導電性金属で埋め込むことにより、図13及び図14に示すように、埋込溝配線からなるローカル配線16(L₁)を形成する。その際、溝

への導電性金属の埋込は、例えば、スパッタリング法等でTi/TiN積層膜等からなるバリア金属膜を溝内部を含む基板上に形成した後、その溝を埋め込むようにW等からなる導電性金属膜をCVD法等により形成し、その後、これら金属膜に対してCMPを行って溝内以外の導電性金属膜とバリア金属膜を除去することにより行うことができる。

【0067】

次に、CVD法によりシリコン酸化膜等からなる第2層間絶縁膜17を形成した後、フォトレジストをマスクにしたドライエッチングを行いゲート電極9に達する接続孔と、ソース／ドレイン領域に達する接続孔（コンタクトホール）を同時に形成する。接続孔内部を含む基板表面に、TiやTiN、これらの積層膜からなるバリア金属膜を形成した後、CVD法等でこれらの接続孔を埋め込むようにW等の導電性金属膜を形成し、これら金属膜に対してCMPを行って接続孔内以外の導電性金属膜とバリア金属膜を除去する。これにより、ゲート電極9に達する接続プラグ18、ソース／ドレイン領域に達する接続プラグ19～26が同時に形成される。このとき、CMPに代えてエッチバックを行う場合は、TiやTiN、これらの積層膜からなるバリア金属膜を表面に残し、このバリア金属膜をレジストをマスクにしてパターニングすることにより、後述の方法に代えてローカル配線（L₂）27及び導電膜パターン28～33を形成することができる。

【0068】

次に、スパッタリング法またはCVD法等によりTiN膜等の導電膜を形成し、この導電膜をフォトレジストをマスクにしてパターニングを行う。これにより、図17及び図18に示すように、接続プラグ18、19、20に接触するローカル配線（L₂）27が形成される。その際、ローカル配線（L₂）27は、上面からみて、その一部が第2層間絶縁膜17を介して下層のローカル配線（L₁）16の少なくとも一部と重なるように形成される。図においては、ローカル配線（L₂）27は、下層のローカル配線（L₁）16の上面全体と重なるように形成されている。

【0069】

なお、ローカル配線 (L_2) 27を形成するためのパターニングの際、後に上層に形成される接続プラグ（ビアプラグ）と、各接続プラグ（コンタクトプラグ）21～26との接続を容易にするために、各接続プラグ21～26上に、接触し且つその上面を覆う矩形の導電膜パターン28～33を同時に形成する。

【0070】

次に、CVD法によりシリコン酸化膜等からなる第3の層間絶縁膜34を形成した後、フォトレジストをマスクにしてドライエッチングを行い、各導電膜パターン28～33に達する接続孔（ビアホール）を形成する。接続孔内部を含む基板表面にバリア金属膜を形成した後、CVD法等でこれらの接続孔を埋め込むようにW等からなる導電性金属膜を形成し、これらの金属膜に対してCMPを行い接続孔以外の導電性金属膜とバリア金属を除去する。これにより、図19及び図20に示すように、各導電膜パターン28～33に達する接続プラグ（ビアプラグ）が形成される。

【0071】

次に、第3層間絶縁膜34上に、図2及び図3に示すように、電源電圧Vccが印加される電源電圧線41、及び基準電圧Vssが印加される基準電圧線42を形成する。これらの配線は、第3層間絶縁膜34上にスパッタリング法等でA1膜を形成した後、フォトレジストをマスクにしてドライエッチングを行い、A1膜をパターニングして形成することができる。その際、A1膜に代えて、バリアメタル膜（TiN膜等）、A1膜、反射防止膜（TiN膜等）を順次形成してなる積層膜を設けてもよい。電源電圧線41は、接続プラグ36、37に接触し、負荷トランジスタP₁、P₂のそれぞれのソース領域に電気的に接続される。基準電圧線42は、接続プラグ35、38に接触し、駆動トランジスタD₁、D₂のそれぞれのソース領域に電気的に接続される。

【0072】

なお、電源電圧線41及び基準電圧線42を形成するためのパターニングの際、転送トランジスタのソース／ドレイン領域の一方に通じる接続プラグ39、40のそれぞれと、後に形成するビット線BL₁、BL₂に通じる接続プラグとの接続を容易するために、各接続プラグ39、40上に、それぞれと接接し且つそ

の上面を覆う矩形の導電膜パターン43、44を形成する。

【0073】

次に、電源電圧線41、基準電圧線42等が形成された第3層間絶縁膜34上に、CVD法により酸化シリコン等からなる第4層間絶縁膜を形成する。次いで、フォトレジストをマスクにしたドライエッチングを行って、接続プラグ39、40のそれぞれの上に形成された各導電膜パターン43、44に達する接続孔を形成する。続いて、これらの接続孔の内部を含む第4層間絶縁膜上にバリア金属膜を形成した後、CVD法等によりW等からなる導電性金属膜をこれらの接続孔が埋め込まれるように形成する。次いで、CMPを行って接続孔内部以外のこれら金属膜を除去して接続プラグを形成する。

【0074】

次に、これらの接続プラグが形成された第4層間絶縁膜上に、ビット線BL₁、BL₂を形成する。これらのビット線は、第4層間絶縁膜上にスパッタリング法等でA1膜を形成した後、フォトレジストをマスクにしてドライエッチングを行い、A1膜をパターニングして形成することができる。その際、A1膜に代えて、バリアメタル膜(TiN膜等)、A1膜、反射防止膜(TiN膜等)を順次形成してなる積層膜を設けてもよい。各ビット線は、第4層間絶縁膜に形成された接続プラグのいずれかに接触し、転送トランジスタT₁、T₂のいずれかのソース／ドレイン領域の一方に電気的に接続される。

【0075】

以上の工程により、本実施形態のメモリセルが完成する。なお、この後、例えば、ビット線が形成された第4層間絶縁膜上にパッシベーション膜を形成するなど、適宜、所望の工程を実施することができる。

【0076】

その他の実施の形態として図21を示して前述した構造は、次のようにして形成することができる。

【0077】

図14に示す構造を形成する工程(埋込溝配線16(L₁)の形成工程)に続いて、埋込溝配線16の上面より第1層間絶縁膜15の上面が低くなり埋込溝配

線の側面が部分的に露出するようにエッチバックを行う。

【0078】

次に、CVD法によりシリコン酸化膜等からなる第2層間絶縁膜17を形成した後、フォトレジストをマスクにしたドライエッチングを行いゲート電極9に達する接続孔と、ソース／ドレイン領域に達する接続孔（コンタクトホール）を同時に形成する。接続孔内部を含む基板表面に、TiやTiN、これらの積層膜からなるバリア金属膜を形成した後、CVD法等でこれらの接続孔を埋め込むようにW等の導電性金属膜を形成し、これら金属膜に対してエッチバックを行って接続孔内以外の導電性金属膜とバリア金属膜を除去する。これにより、ゲート電極9に達する接続プラグ18、ソース／ドレイン領域に達する接続プラグ19～26が同時に形成される。

【0079】

次に、スパッタリング法またはCVD法等によりTiN膜等の導電膜を形成し、この導電膜をフォトレジストをマスクにしてパターニングを行う。これにより、図21に示すように、接続プラグ18、19、20に接触するローカル配線（L₂）27が形成される。その際、ローカル配線（L₂）27は、上面からみて、その一部が第2層間絶縁膜17を介して下層のローカル配線（L₁）（埋込溝配線16）の上面の少なくとも一部あるいは上面全体と重なるように形成されるとともに、埋込溝配線16の露出した側面を第2層間絶縁膜17を介して覆うように配置される。

【0080】

【発明の効果】

以上の説明から明らかなように本発明によれば、工程数を著しく増大せることなく、容易に、メモリセルサイズが縮小されたSRAMを得ることができる。さらに、SRAMの α 線ソフトエラー耐性を向上させることができる。

【図面の簡単な説明】

【図1】

本発明の半導体記憶装置のSRAMメモリセルの回路図である。

【図2】

本発明の半導体記憶装置のS R A Mメモリセルの一実施形態を説明するための平面図である。

【図3】

本発明の半導体記憶装置のS R A Mメモリセルの一実施形態を説明するための断面図である。

【図4】

本発明の半導体記憶装置のS R A Mメモリセルの製造方法を説明するための平面図である。

【図5】

本発明の半導体記憶装置のS R A Mメモリセルの製造方法を説明するための断面図である。

【図6】

本発明の半導体記憶装置のS R A Mメモリセルの製造方法を説明するための断面図である。

【図7】

本発明の半導体記憶装置のS R A Mメモリセルの製造方法を説明するための平面図である。

【図8】

本発明の半導体記憶装置のS R A Mメモリセルの製造方法を説明するための断面図である。

【図9】

本発明の半導体記憶装置のS R A Mメモリセルの製造方法を説明するための平面図である。

【図10】

本発明の半導体記憶装置のS R A Mメモリセルの製造方法を説明するための断面図である。

【図11】

本発明の半導体記憶装置のS R A Mメモリセルの製造方法を説明するための平面図である。

【図12】

本発明の半導体記憶装置のSRAMメモリセルの製造方法を説明するための断面図である。

【図13】

本発明の半導体記憶装置のSRAMメモリセルの製造方法を説明するための平面図である。

【図14】

本発明の半導体記憶装置のSRAMメモリセルの製造方法を説明するための断面図である。

【図15】

本発明の半導体記憶装置のSRAMメモリセルの製造方法を説明するための平面図である。

【図16】

本発明の半導体記憶装置のSRAMメモリセルの製造方法を説明するための断面図である。

【図17】

本発明の半導体記憶装置のSRAMメモリセルの製造方法を説明するための平面図である。

【図18】

本発明の半導体記憶装置のSRAMメモリセルの製造方法を説明するための断面図である。

【図19】

本発明の半導体記憶装置のSRAMメモリセルの製造方法を説明するための平面図である。

【図20】

本発明の半導体記憶装置のSRAMメモリセルの製造方法を説明するための断面図である。

【図21】

本発明の半導体記憶装置のSRAMメモリセルの他の実施形態を説明するため

の断面図である。

【図22】

従来のS R A Mメモリセルの回路図である。

【符号の説明】

T_1, T_2 転送トランジスタ

D_1, D_2 駆動トランジスタ

P_1, P_2 負荷トランジスタ

BL_1, BL_2 ピット線

WL ワード線

L_1, L_2 ローカル配線

N_1, N_2 蓄積ノード

V_{cc} 電源電圧

V_{ss} 基準電圧

AR 活性領域

MR 一つのメモリセル領域

1 半導体基板

2 シリコン酸化膜

2 a シリコン酸化膜（犠牲酸化膜）

3 シリコン窒化膜

4 トレンチ（溝）

5 素子分離

6 レジスト

7 ゲート酸化膜

8 ゲート電極（ワード線WL）

9、10 ゲート電極

11 LDD領域

12 サイドウォール

13 ソース／ドレイン領域

13 a n型ソース／ドレイン領域

13b p型ソース／ドレイン領域

14 シリコン窒化膜

15 第1層間絶縁膜

16 ローカル配線 (L_1)

17 第2層間絶縁膜

18~26 接続孔

27 ローカル配線 (L_2)

28~33、43、44 導電膜パターン

34 第3層間絶縁膜

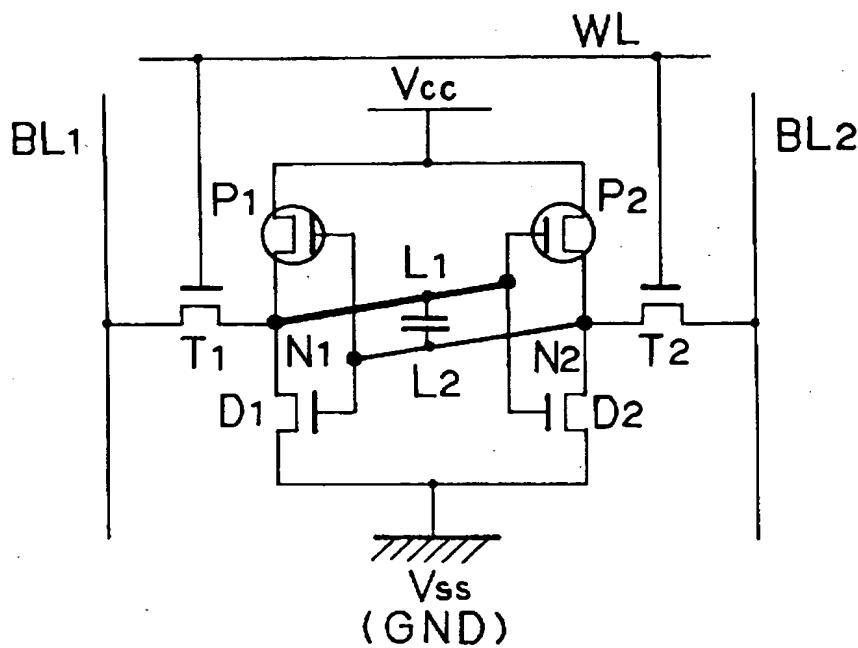
35~40 接続プラグ (ビアプラグ)

41 電源電圧線

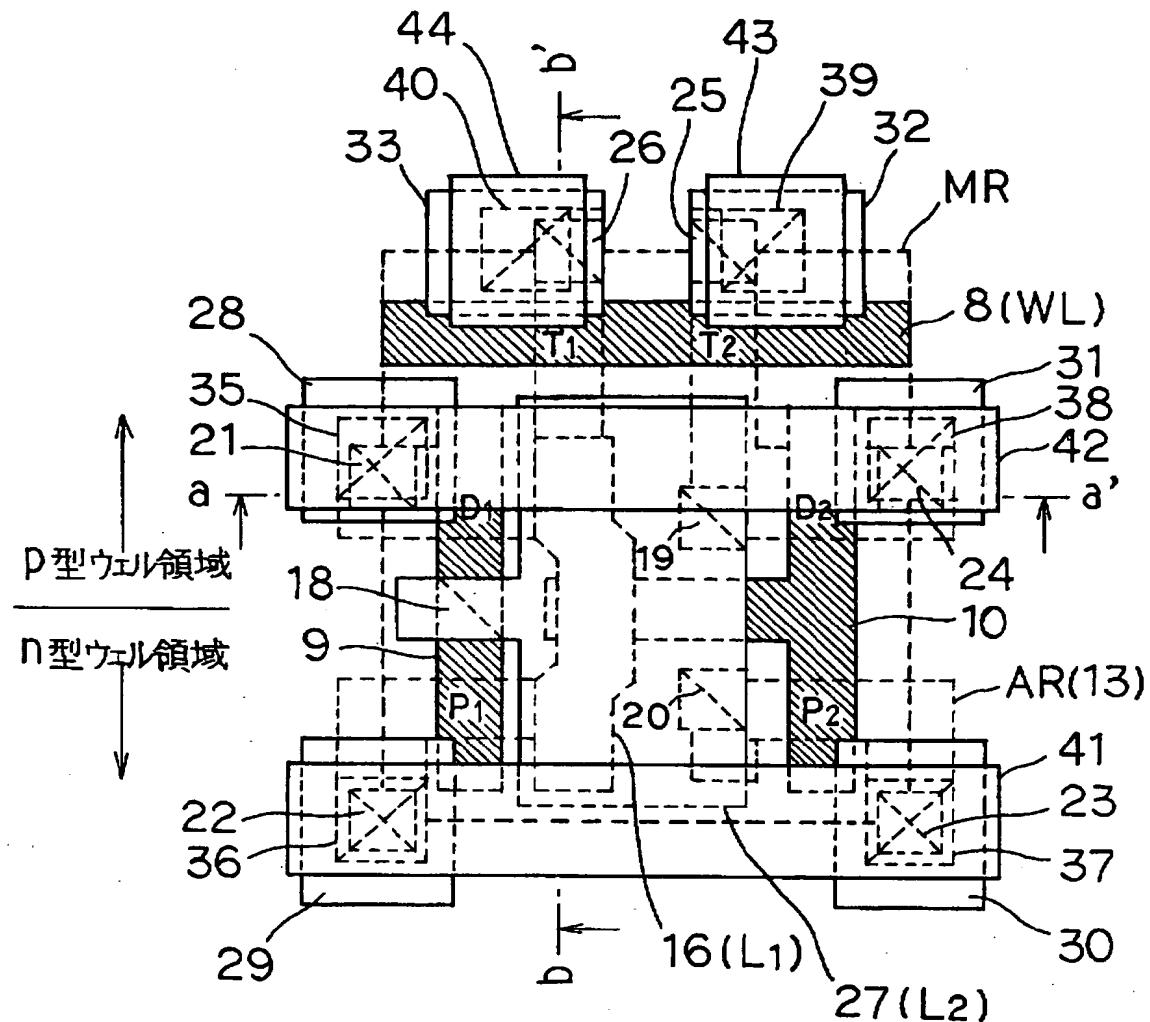
42 基準電圧線

【書類名】 図面

【図1】

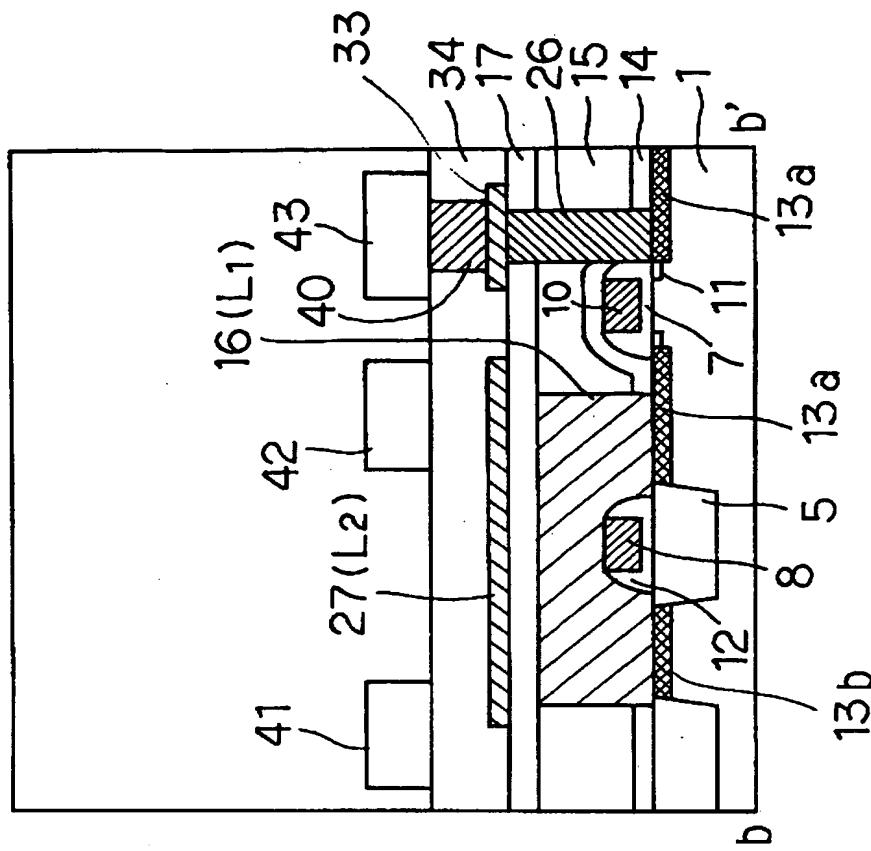
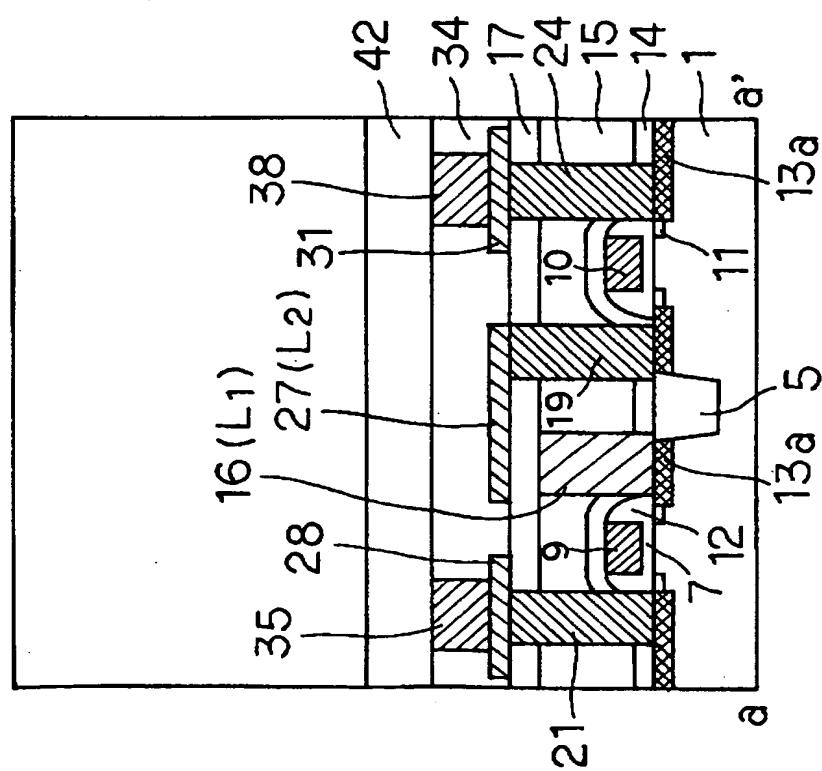


【図2】

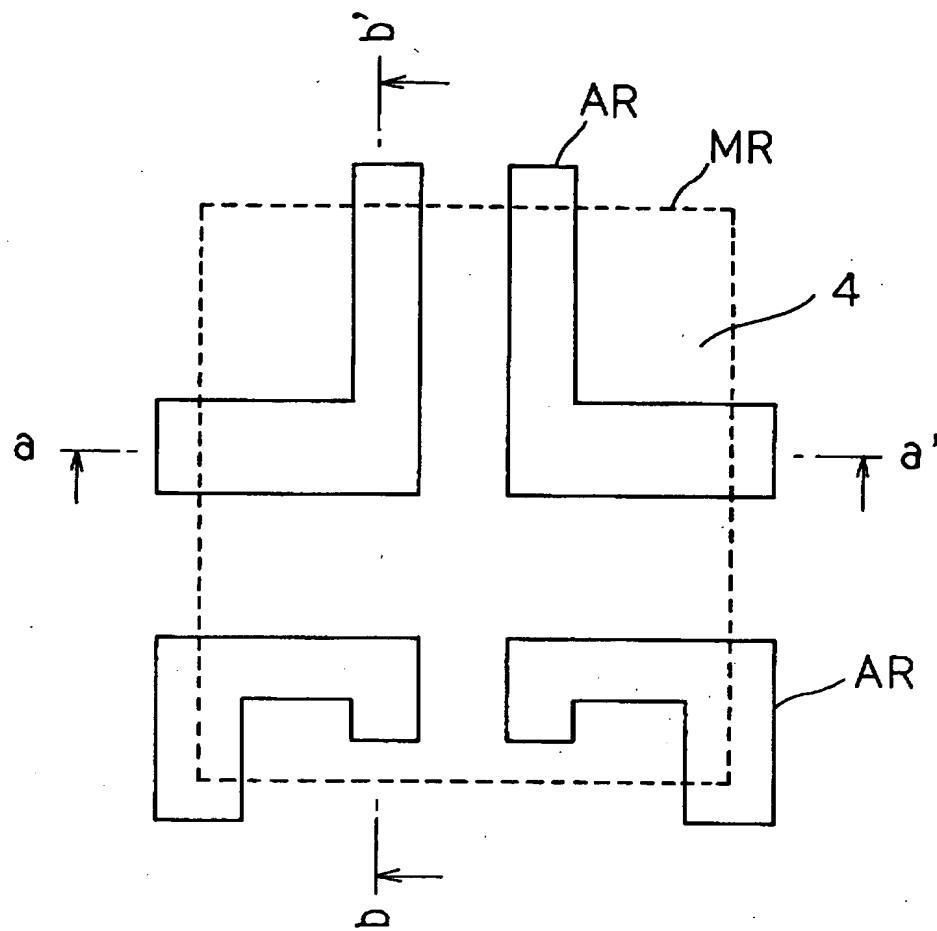


【図3】

(a) (b)

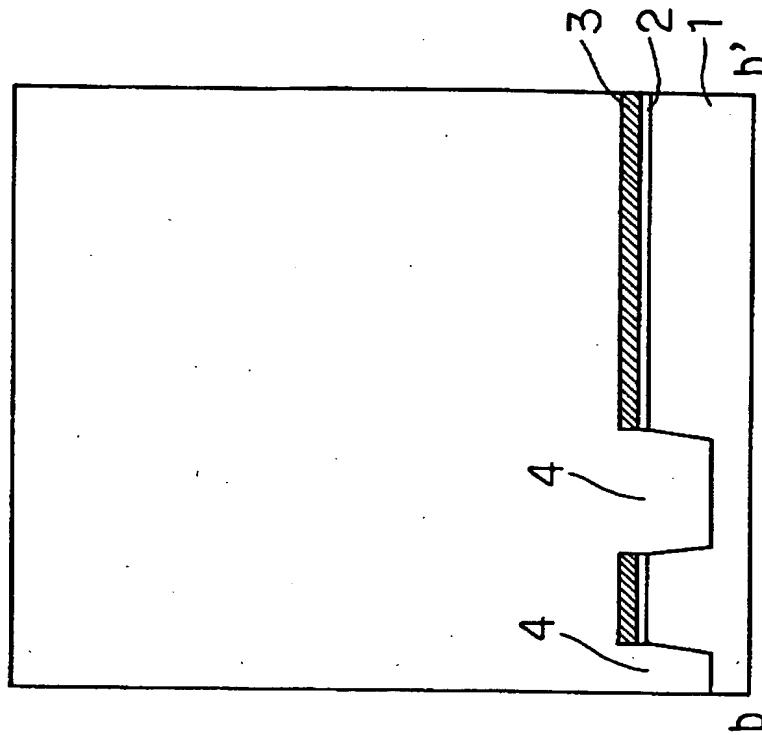


【図4】

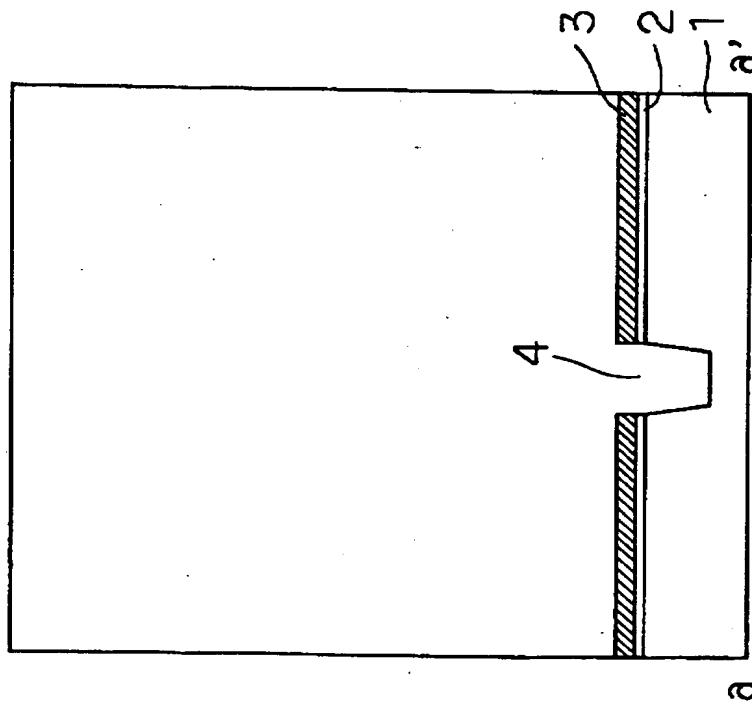


【図5】

(b)

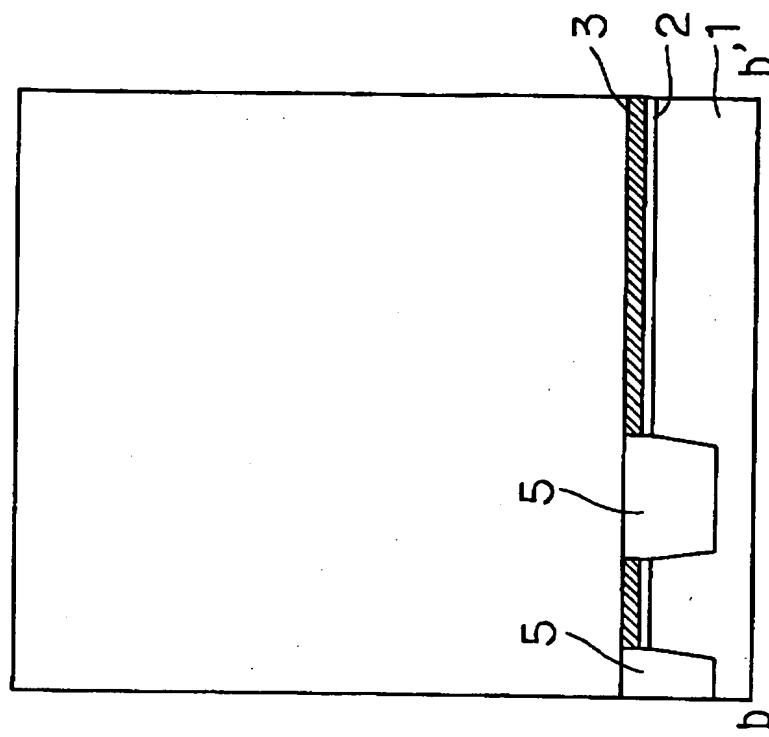


(a)

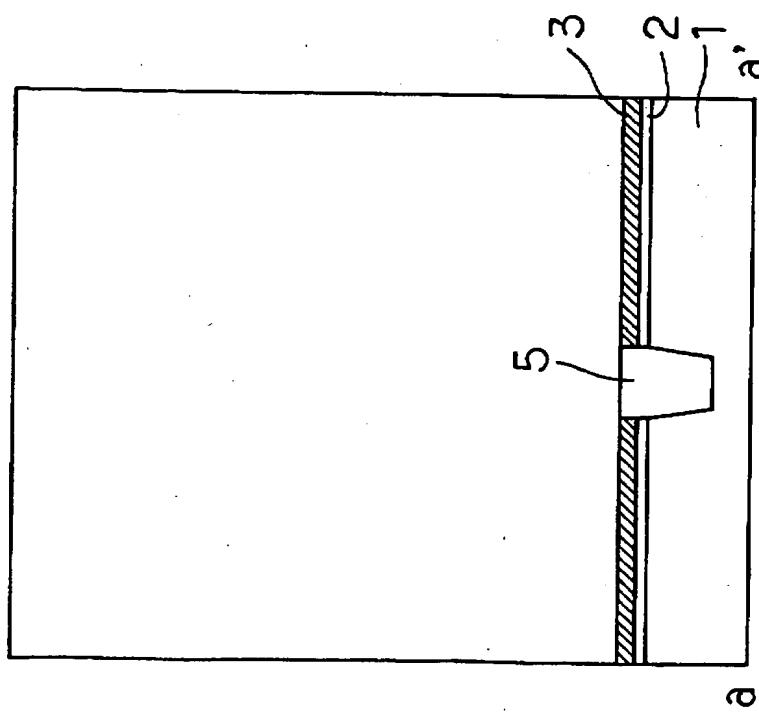


【図6】

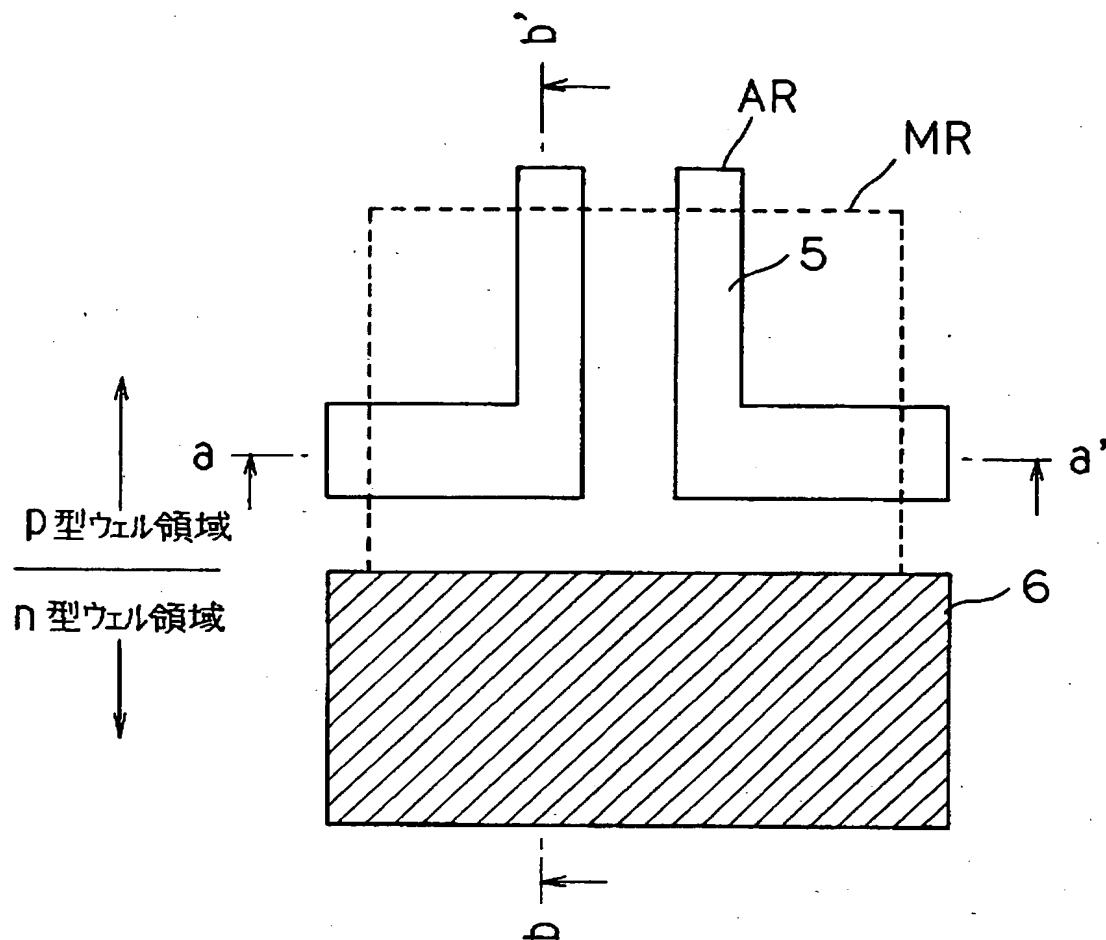
(b)



(a)

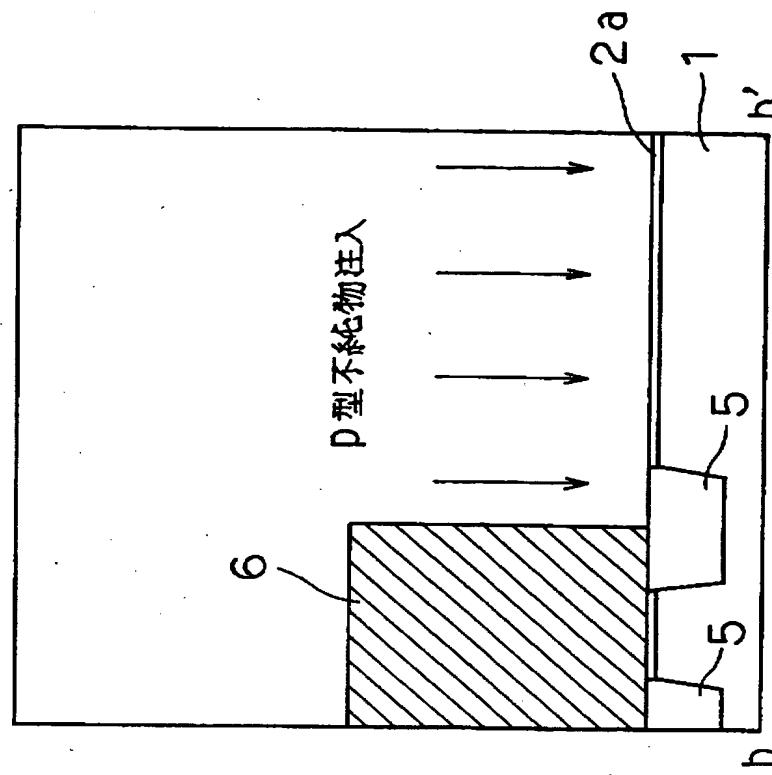
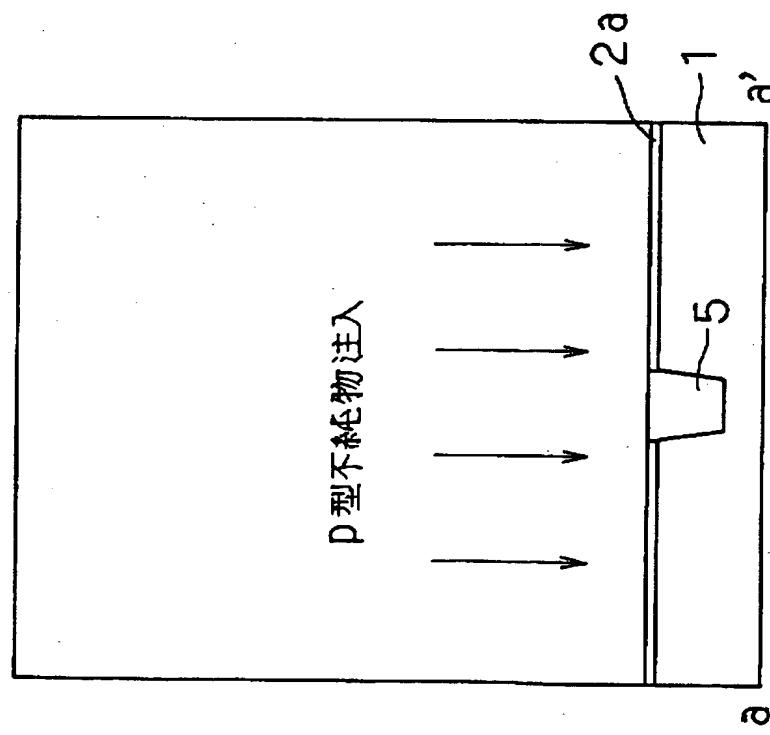


【図7】

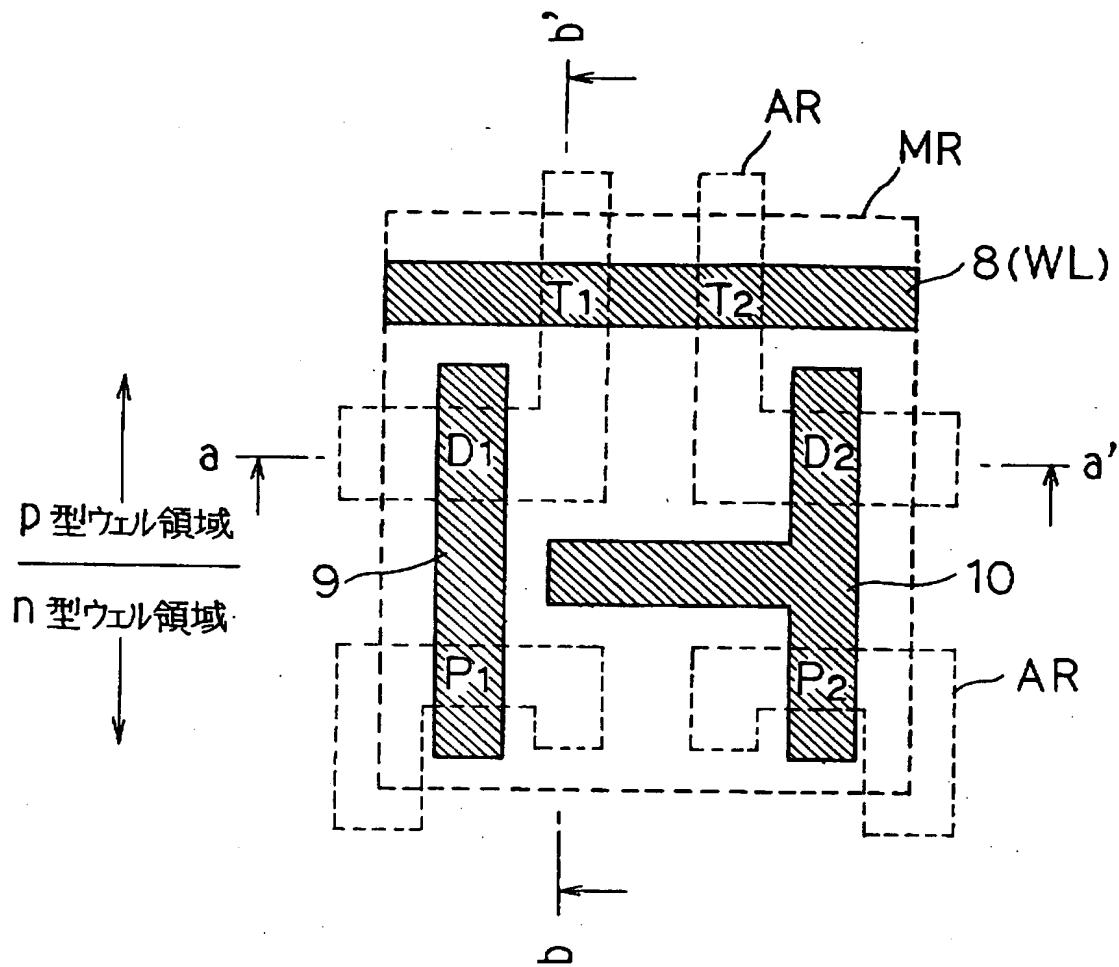


【図8】

(a) (b)

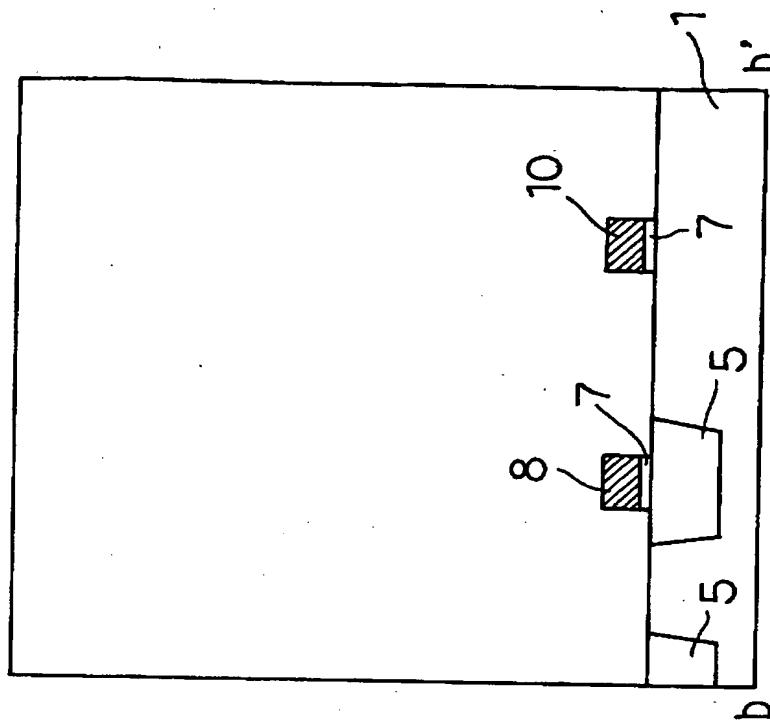


【図9】

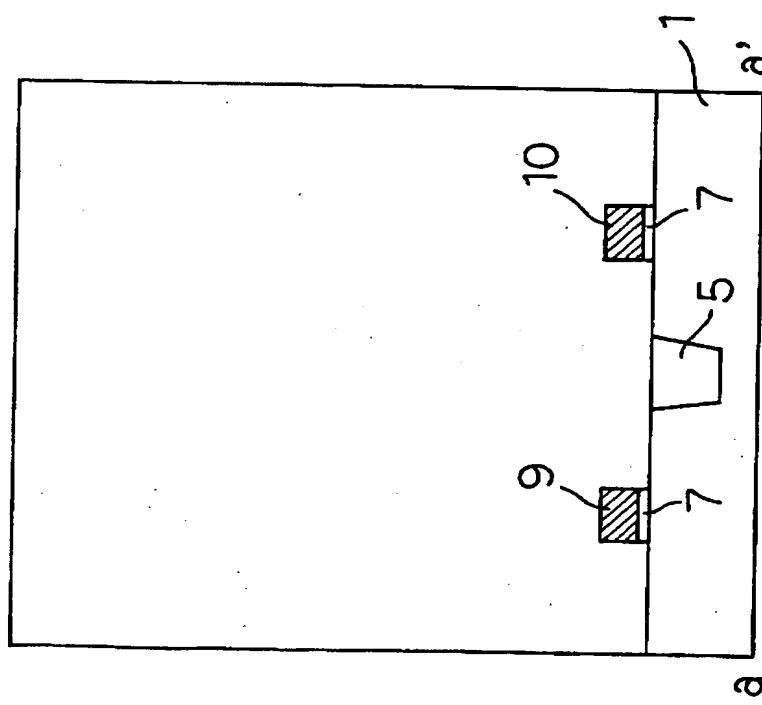


【図10】

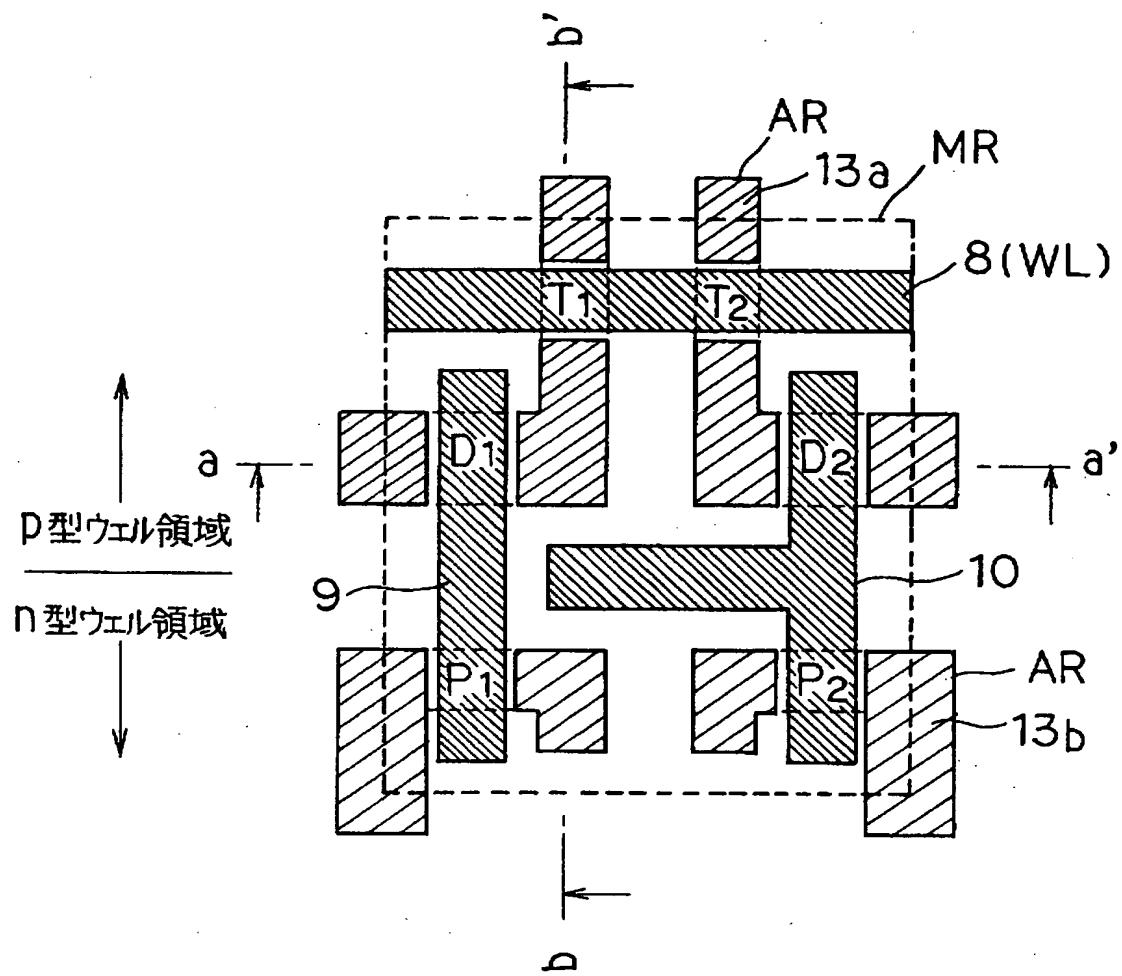
(b)



(a)

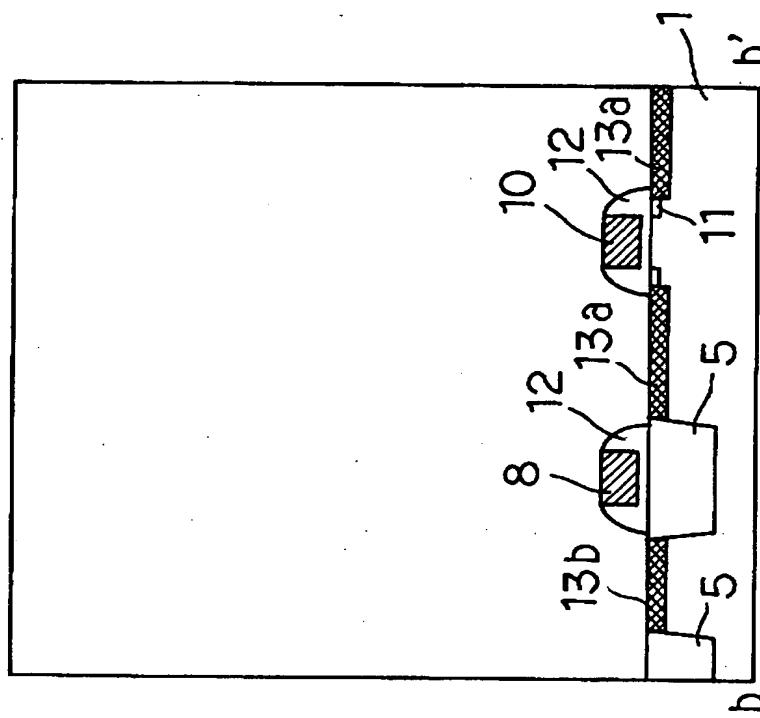


【図11】

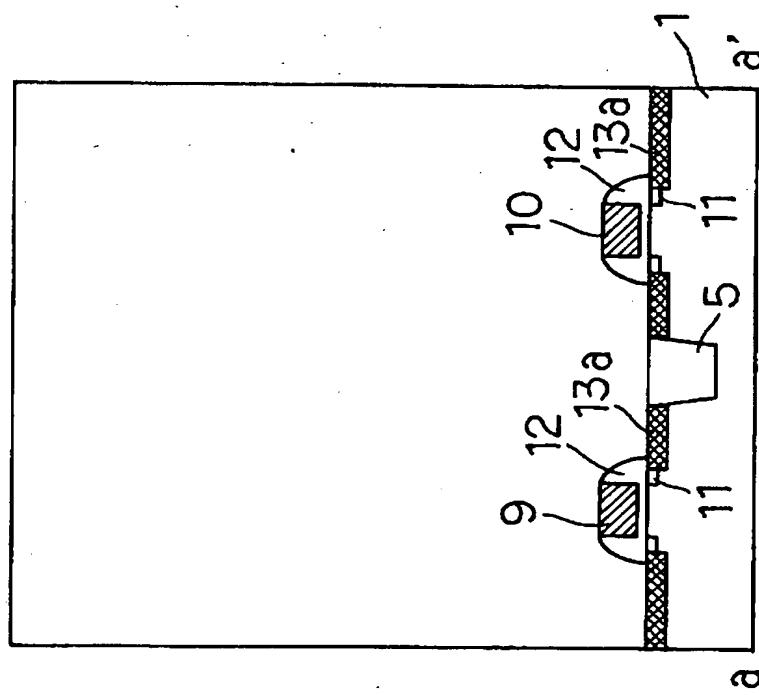


【図12】

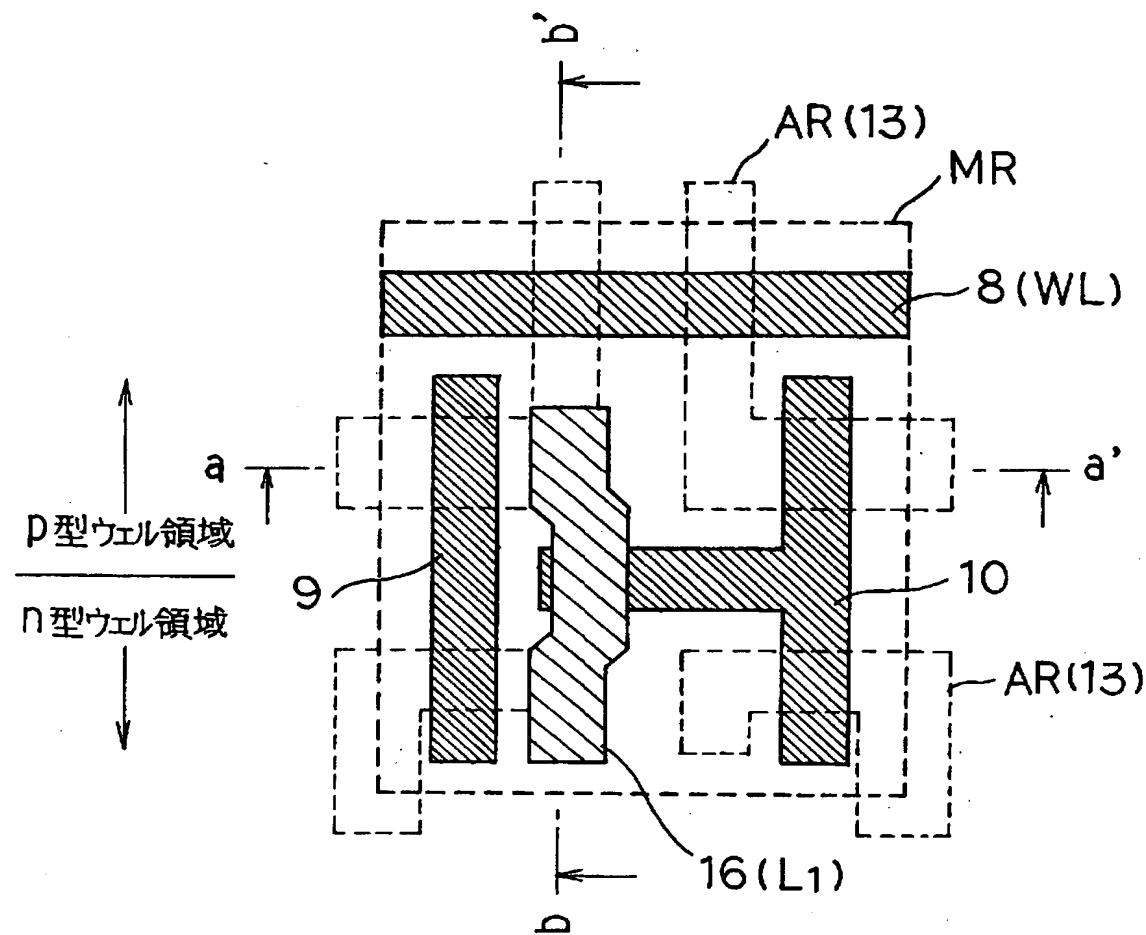
(b)



(a)

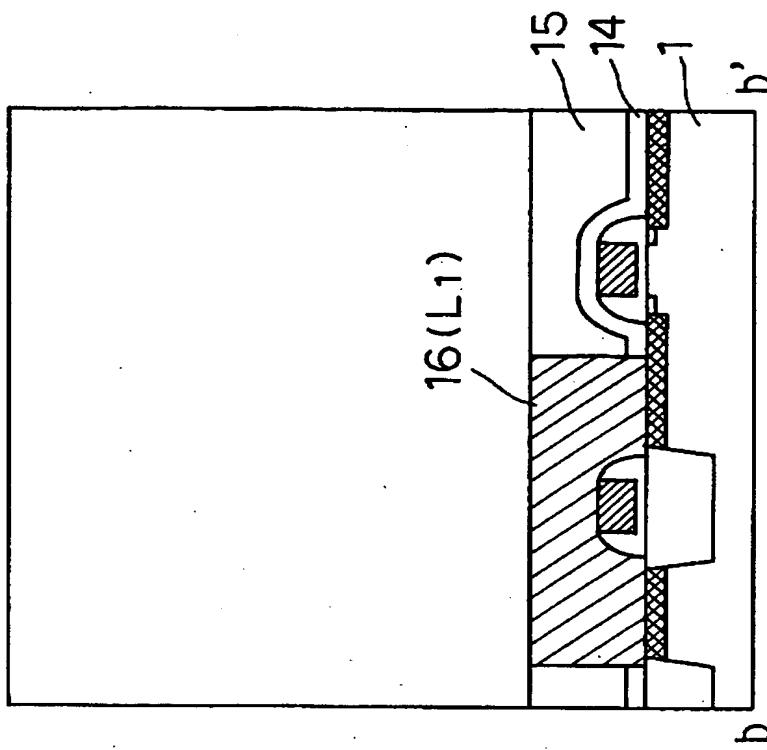


【図13】

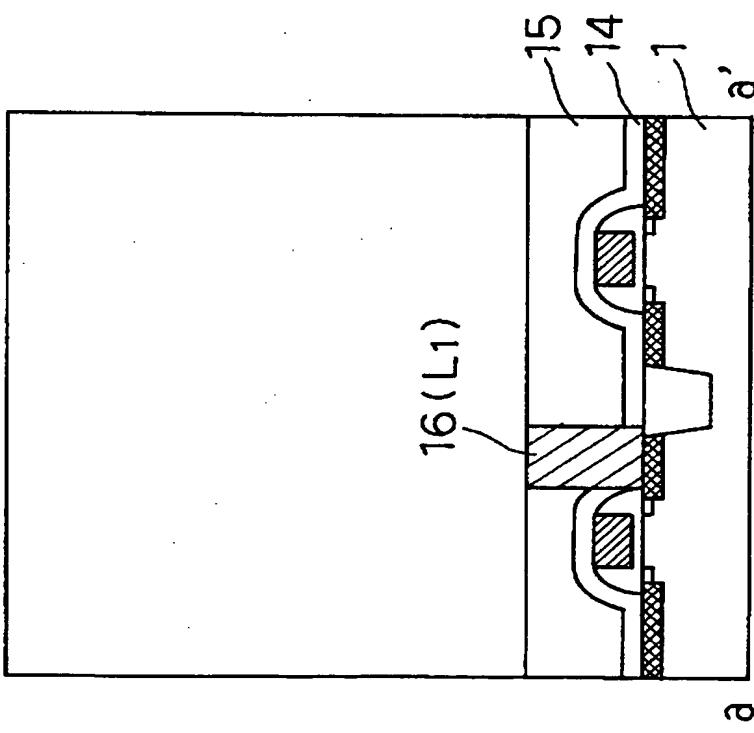


【図14】

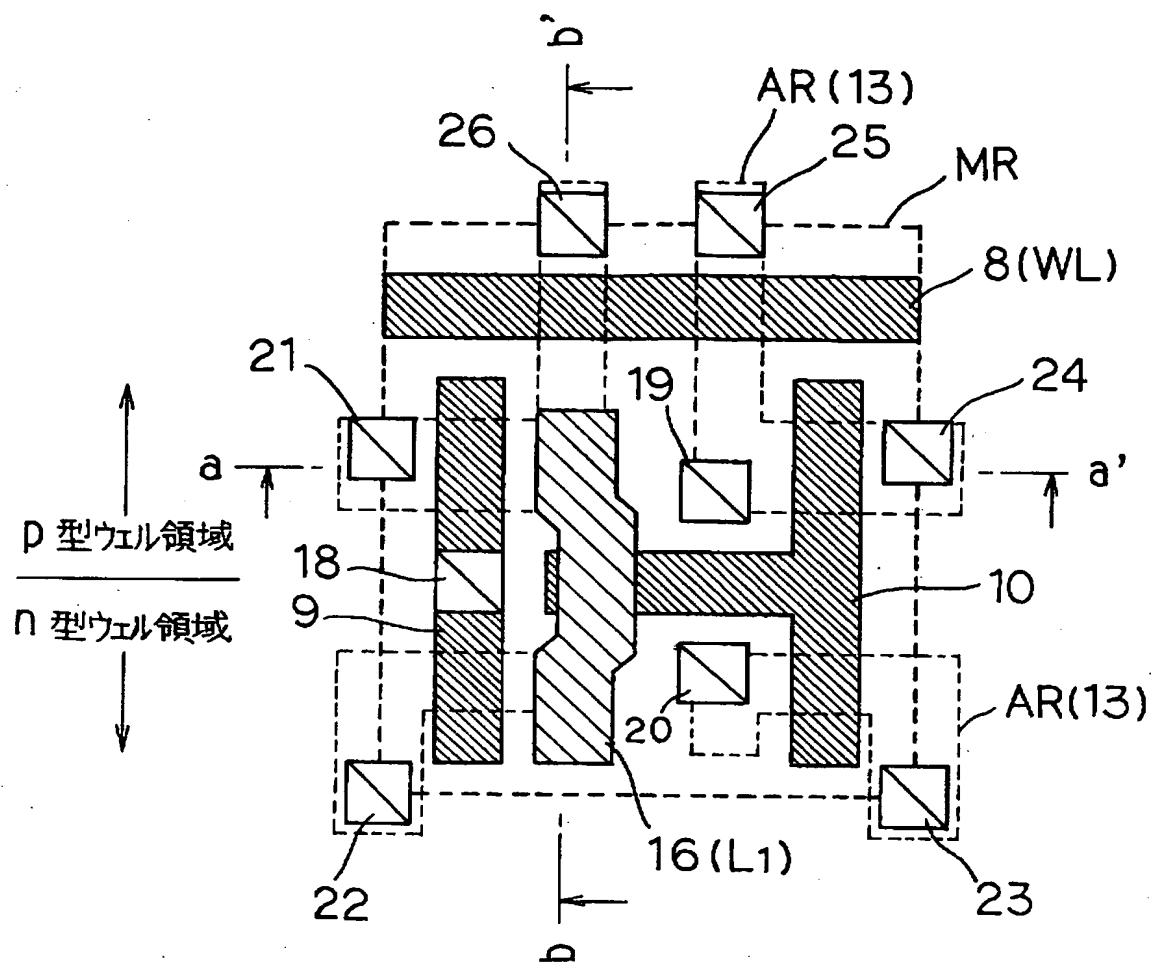
(b)



(a)

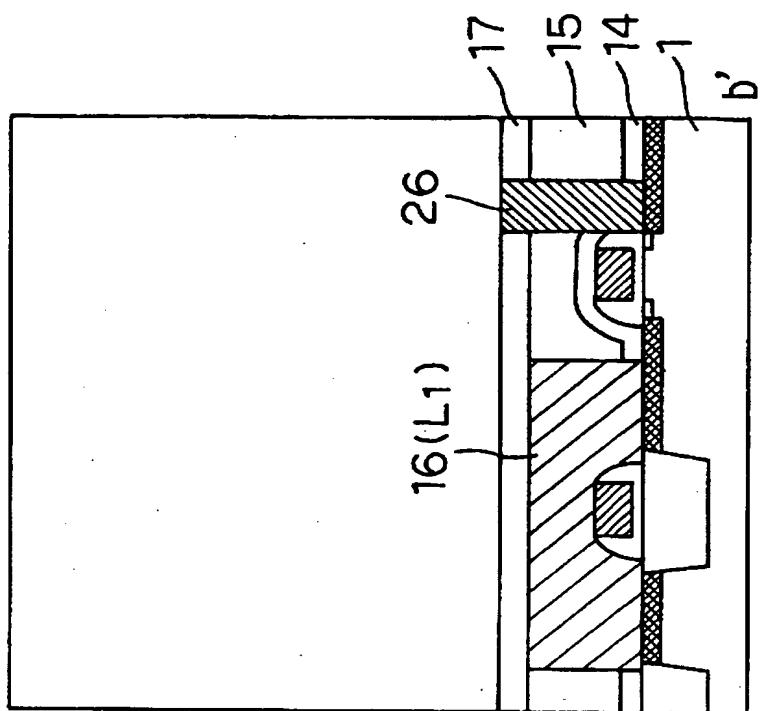


【図15】



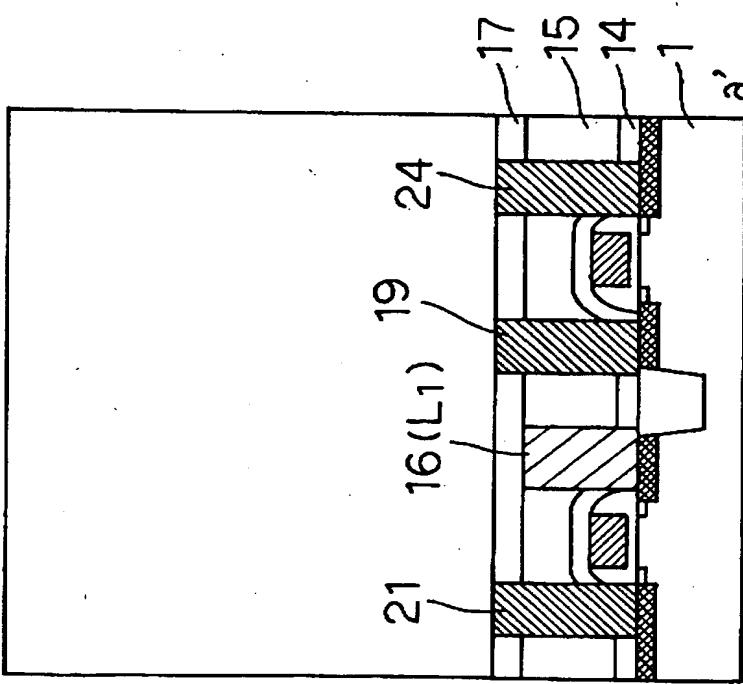
【図16】

(b)



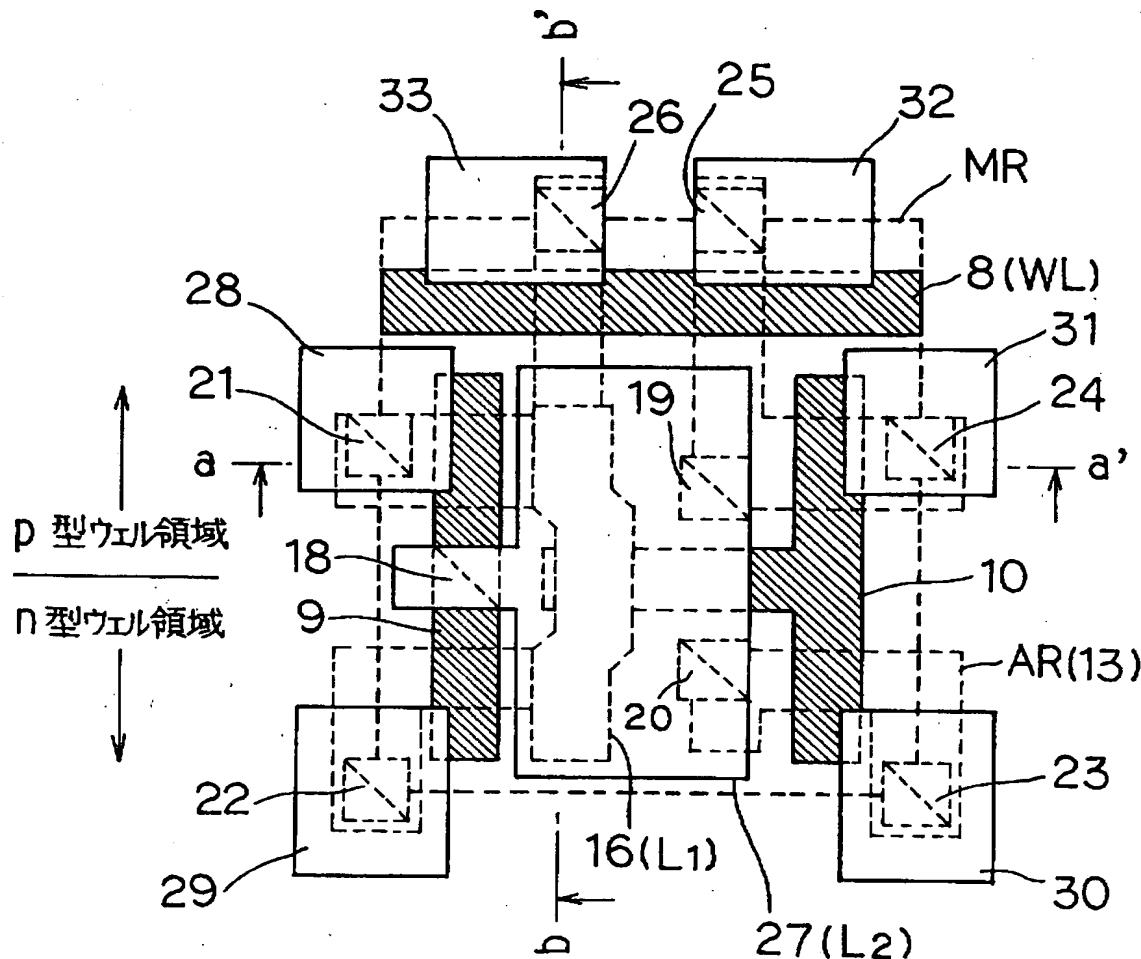
b

(a)



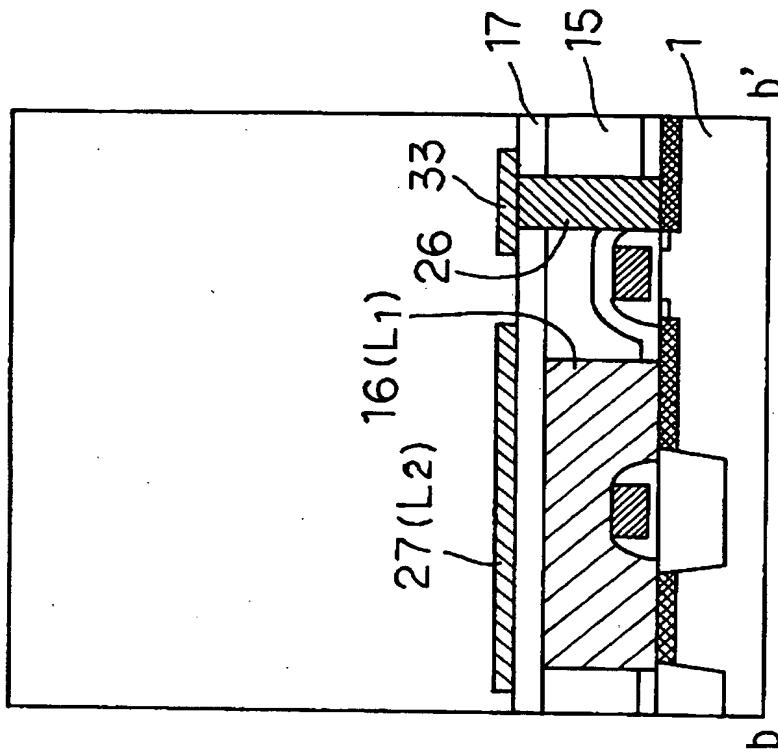
a

【図17】



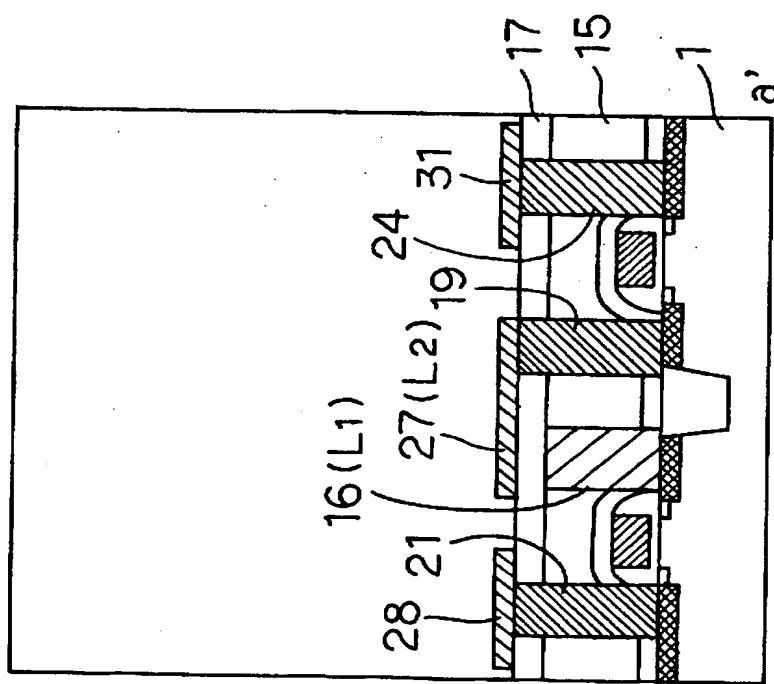
【図18】

(b)



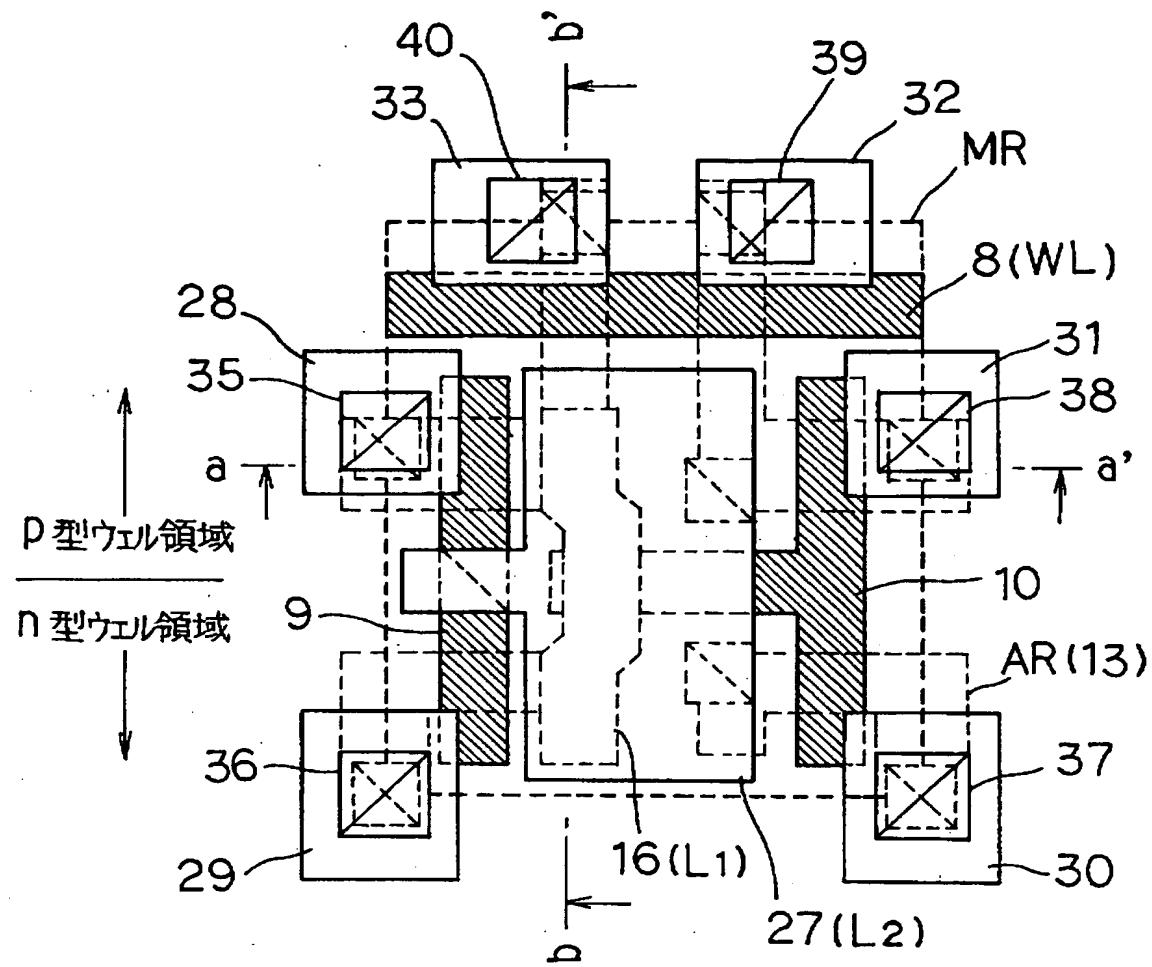
b'

(a)



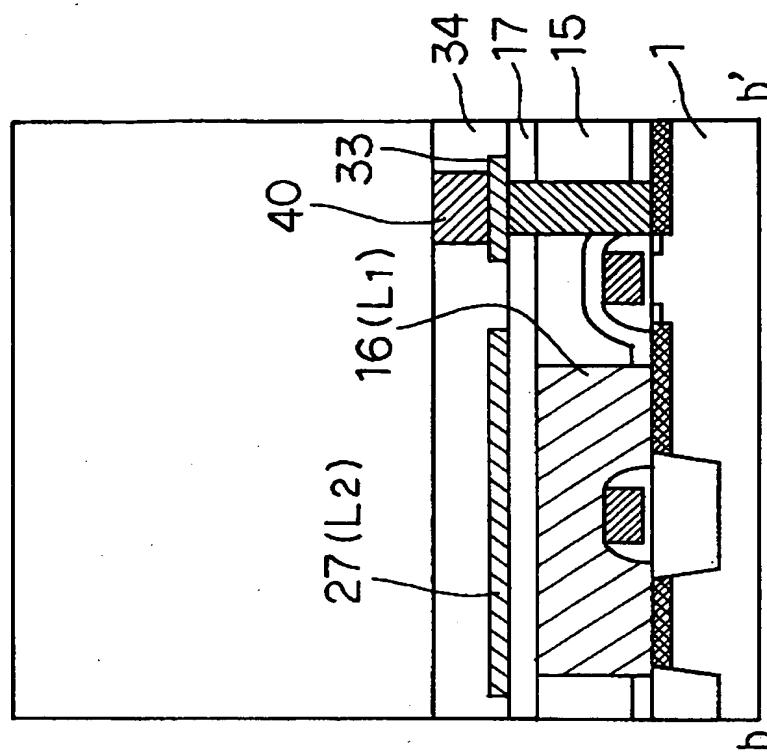
a'

【図19】

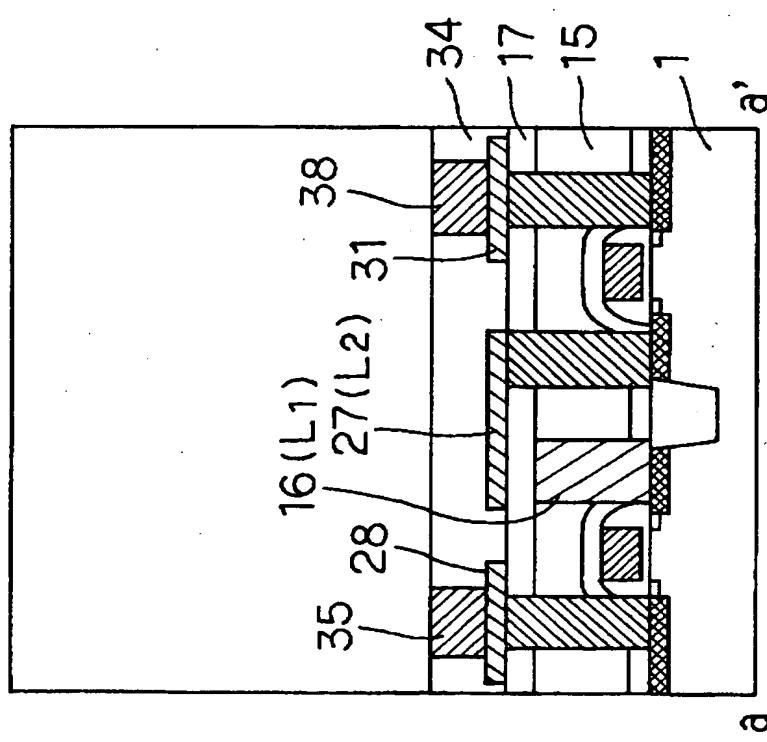


【図20】

(b)

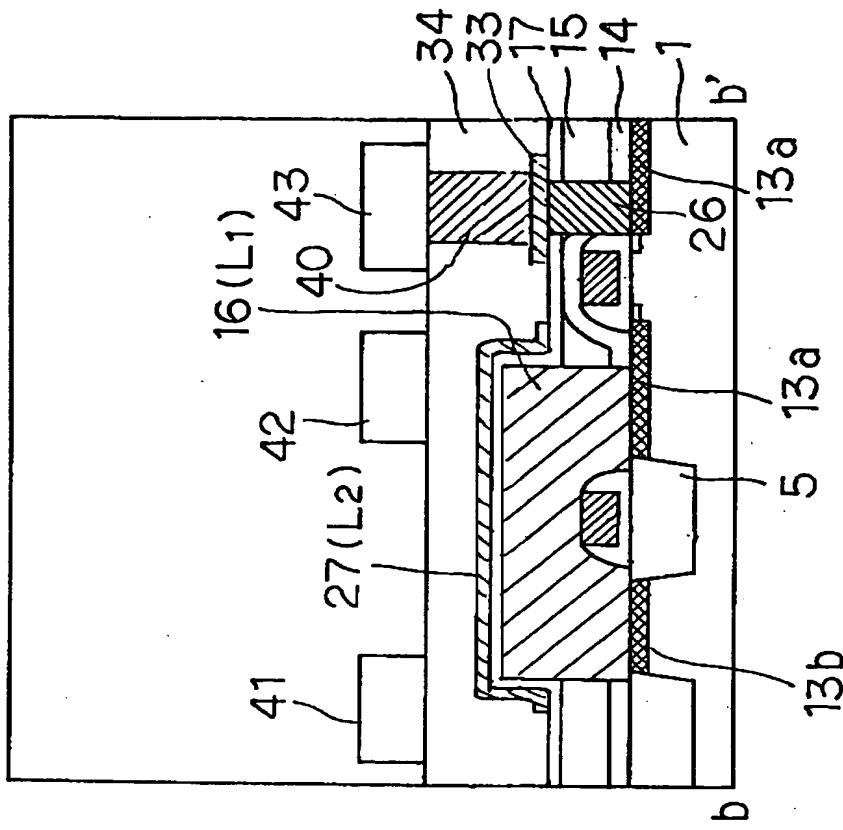


(a)

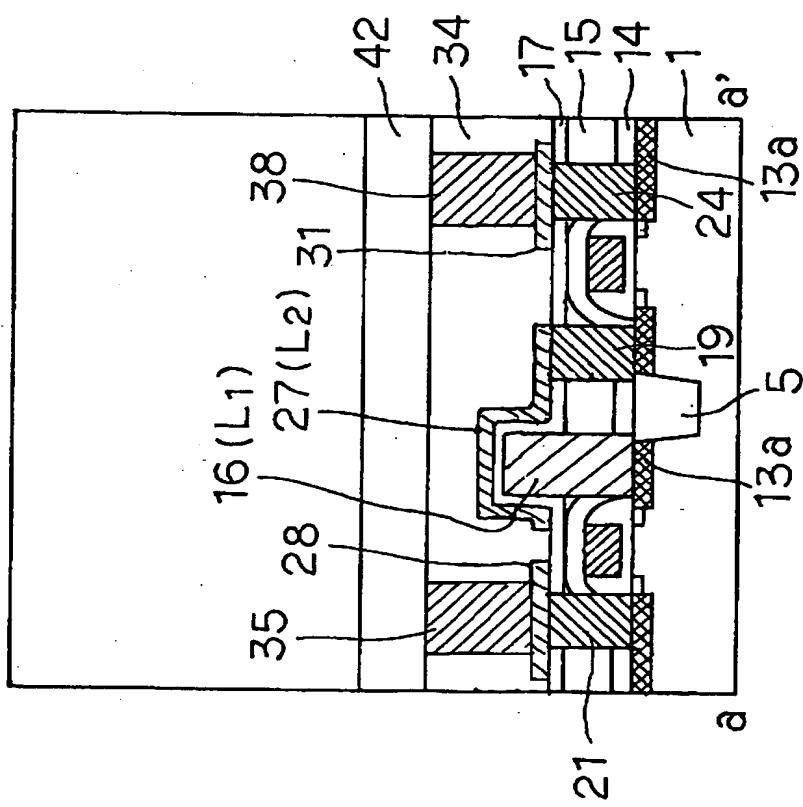


【図21】

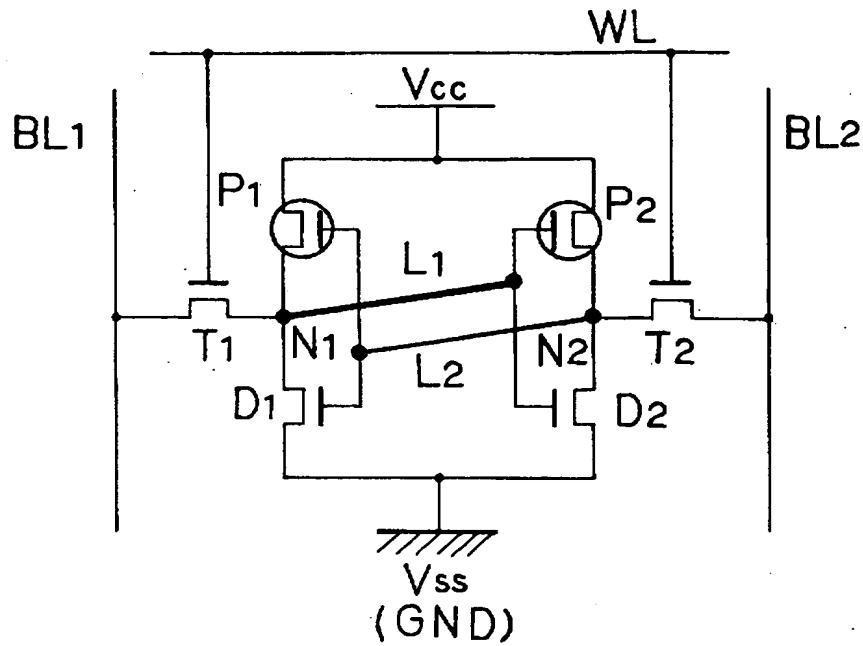
(b)



(a)



【図22】



【書類名】 要約書

【要約】

【課題】 工程数を著しく増大させることなく、容易に、S R A Mのメモリセルサイズを縮小可能な技術を提供する。また、S R A Mの α 線ソフトエラー耐性を向上させる。

【解決手段】 一対の駆動トランジスタ及び一対の負荷トランジスタからなるフリップフロップ回路と一対の転送トランジスタとでメモリセルを構成するS R A Mを有する半導体記憶装置において、半導体基板上に設けた第1導電膜で形成された第1導電膜配線で、前記の駆動トランジスタ、負荷トランジスタ及び転送トランジスタのそれぞれのゲート電極を構成し、前記ゲート電極を含む半導体基板上に設けた第1絶縁膜に形成した埋込溝配線で、前記フリップフロップ回路のクロスカップルを構成する一対のローカル配線の一方を構成し、前記埋込溝配線を含む第1絶縁膜上に第2絶縁膜を介して設けた第2導電膜で形成された第2導電膜配線で、前記一対のローカル配線の他方を構成する。

【選択図】 図3

特2001-013330

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社